

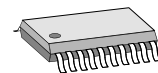
### EIGENSCHAFTEN

- Ë Schneller Flash-Wandler
- Ë Integrierte Störunterdrückung; Mindest-Flankenabstand über optionalen Widerstand einstellbar
- Ë Wählbare Auflösung bis 64 Flanken pro Periode, bis 16-fache Interpolation
- Ë Integrierte Instrumentenverstärker mit einstellbarer Verstärkung
- Ë Anschluss von Sensorbrücken ohne externe Bauelemente
- Ë 200kHz Eingangsfrequenz bei höchster Auflösung
- Ë Inkrementale Ausgabe bis 3.2MHz
- Ë Invertierbare Drehrichtung (A/B-Phasenlage)
- Ë Nullsignalverarbeitung
- Ë Abgleich der Sensorbrücke durch analog/digitale Testsignale unterstützbar
- Ë Geringe Stromaufnahme aus 5V Versorgung
- Ë TTL- /CMOS-kompatible Ausgänge
- Ë Ein- und Ausgänge gegen Zerstörung durch ESD geschützt

### ANWENDUNGEN

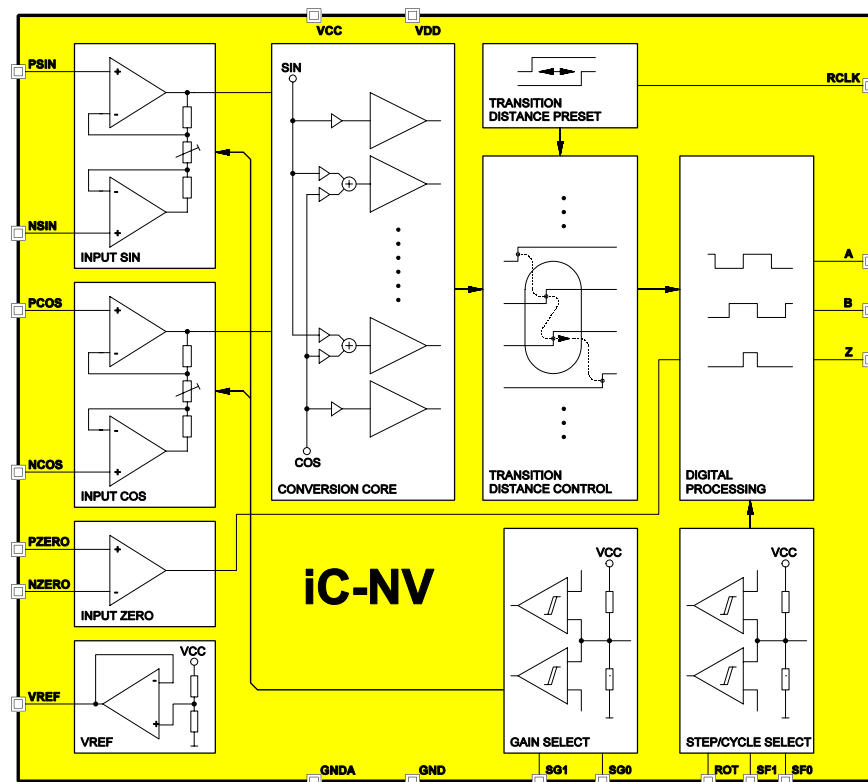
- Ë Interpolator-IC zur Auflösungserhöhung von zwei um 90° phasenverschobenen sinusförmigen Eingangssignalen
- Ë Optische Drehgeber
- Ë MR-Sensorsysteme

### GEHÄUSE



TSSOP20

### BLOCKSCHALTBILD



### KURZBESCHREIBUNG

Der Baustein iC-NV ist ein monolithischer A/D-Wandler, der aus zwei um 90° phasenverschobenen sinusförmigen Eingangssignalen zwei digitale A/B-Inkrementalsignale mit ebenfalls 90° Phasenverschiebung erzeugt.

Der Wandler arbeitet nach dem Flash-Prinzip mit schnellen Einzel-Komparatoren. Die integrierte Signalverarbeitung beinhaltet ein verzögerungsfreies, einstellbares Störungsfilter und generiert nur solche Inkrementalsignale, die von den jeweiligen externen Systemen sicher verarbeitet, d.h. gezählt werden können. Dabei wird über einen externen Widerstand ein Mindest-Flankenabstand für die Ausgänge A und B vorgegeben, der auch bei gestörten Eingangssignalen nicht unterschritten wird. Für statische Eingangssignale verhindert eine Hysterese das Schalten der Ausgänge.

Durch Pin-Programmierung ist der Interpolator auf neun verschiedene Auflösungen zwischen 4 und 64 Winkelschritten pro Periode einstellbar; die mögliche Frequenzvervielfachung liegt zwischen 1 und 16. Dabei ist die Phasenbeziehung zwischen den Sinus/Cosinus-Eingangssignalen und den erzeugten A/B-Inkrementalsignalen wählbar.

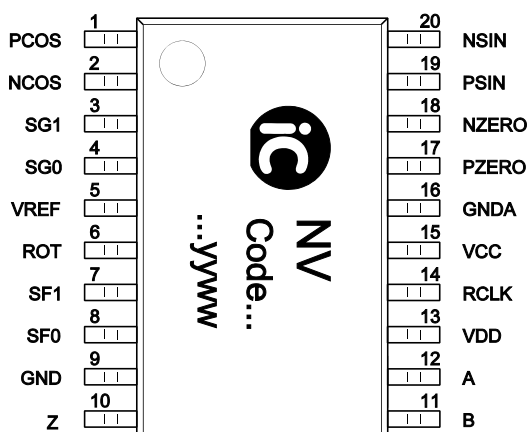
Zusätzlich ist eine Nullsignalverarbeitung vorhanden, die in Abhängigkeit der analogen Sinus/Cosinus-Eingangssignale und dem Freigabe-Eingang ZERO einen digitalen Nullimpuls an Z erzeugt. Alternativ kann zur Synchronisation in einem Absolutwert-Messsystem auch das MSB des Wandlers am Ausgang Z ausgegeben werden.

Die Eingangsverstärker sind als Instrumentenverstärker ausgeführt und erlauben den direkten Anschluss von Messbrücken ohne externe Widerstände. Die Eingangsverstärkung ist in neun Stufen einstellbar, passend abgestuft für übliche Sensorsignale zwischen etwa 10mVs und 1Vs. Ist ein externer Messbrückenabgleich erforderlich, zum Beispiel bezüglich Offset, können verschiedene Testfunktionen angewählt werden. Damit sind unter anderem die verstärkten Analogsignale an den Ausgängen verfügbar.

### GEHÄUSE TSSOP20 nach JEDEC-Standard

#### ANSCHLUSSBELEGUNG TSSOP20 4.4mm

(von oben)



#### PIN-FUNKTIONEN

Nr.	Name	Funktion
1	PCOS	Eingang Cosinus %
2	NCOS	Eingang Cosinus &
3	SG1	Verstärkungseinstellung
4	SG0	Verstärkungseinstellung
5	VREF	Referenzspannung
6	ROT	S6 Auswahl der Phasenbeziehung / Test Signal
7	SF1	S5 Interpolationseinstellung / Test Signal
8	SF0	S4 Interpolationseinstellung / Test Signal
9	GND	Masse (digital)
10	Z (MSB)	S3 Ausgang Nullsignal Z / MSB (ROT= offen) / Test Signal
11	B	S2 Inkrementalausgang B / Test Signal
12	A	S1 Inkrementalausgang A / Test Signal
13	VDD	+5V Versorgungsspannung (digital)
14	RCLK	Einstellwiderstand (Beschaltung mit Widerstand gegen GNDA oder Pin an VCC)
15	VCC	+5V Versorgungsspannung (analog)
16	GNDA	Masse (analog)
17	PZERO	Freigabe-Eingang Nullsignal %
18	NZERO	Freigabe-Eingang Nullsignal &
19	PSIN	Eingang Sinus %
20	NSIN	Eingang Sinus &

Externe Verbindungen von VCC mit VDD und GND mit GNDA sind erforderlich.

### GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min.   Max.		Einh.
					Min.	Max.	
G001	VCC	Versorgungsspannung analog			-0.3	6	V
G002	VDD	Versorgungsspannung digital			-0.3	6	V
G003	V()	Spannung an NSIN, PSIN, NCOS, PCOS, NZERO, PZERO, SG1, SG0, RCLK SF1, SF0, ROT, A, B, Z	V() < VCC+0.3V V() < VDD+0.3V		-0.3	6	V
G004	I <sub>m</sub> (VCC)	Strom in VCC			-50	50	mA
G005	I <sub>m</sub> (GNDA)	Strom in GNDA			-50	50	mA
G006	I <sub>m</sub> (VDD)	Strom in VDD			-50	50	mA
G007	I <sub>m</sub> (GND)	Strom in GND			-50	50	mA
G008	I <sub>m</sub> ( )	Strom in NSIN, PSIN, NCOS, PCOS, NZERO, PZERO, SG1, SG0, VREF, RCLK, SF1, SF0, ROT, A, B, Z			-10	10	mA
G009	I <sub>lu</sub> ( )	Pulsstrom in allen Pins (Latch-up Festigkeit)	Pulsdauer < 10µs		-100	100	mA
EG1	V <sub>d</sub> ( )	ESD-Prüfspannung an allen Pins	HBM 100pF entladen über 1.5kΩ			2	kV
TG1	T <sub>j</sub>	Chip-Temperatur			-40	150	°C
TG2	T <sub>s</sub>	Lagertemperatur			-40	150	°C

### THERMISCHE DATEN

Betriebsbedingungen: VCC= VDD= 5V ±10%

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild	Min.   Typ.   Max.			Einh.
					Min.	Typ.	Max.	
T1	T <sub>a</sub>	Zulässiger Umgebungstemperaturbereich (erweiterter Temperaturbereich von -40 bis +125 °C auf Anfrage)			-25		85	°C

# iC-NV

## 6-BIT Sin/D FLASH WANDLER



Ausgabe C1, Seite 4/19

### KENNDATEN

Betriebsbedingungen: VCC= VDD= 5V ±10%, Tj= -40..125°C wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.	
						Min.	Typ.	Max.		
<b>Allgemeines</b>										
001	VCC, VDD	Zulässige Versorgungsspannung				4.5		5.5	V	
002	I(VCC)	Versorgungsstrom in VCC	fin()= 200kHz; A, B, Z offen					15	mA	
003	I(VDD)	Versorgungsstrom in VDD	fin()= 200kHz; A, B, Z offen					5	mA	
004	Von	Einschaltsschwelle (Power-On)				2		3.8	V	
005	Voff	Abschaltsschwelle (Power-Dwn)				1		2.2	V	
006	Vhys	Power-On Hysterese				0.4		1.8	V	
007	Vc(hi)	Clamp Spannung hi an NSIN, PSIN, NCOS, PCOS, NZERO, PZERO, SG1, SG0, ROT, SF1, SF0, VREF, RCLK	Vc(hi)= V() -VCC; I()= 1mA, andere Pins offen			0.3		1.6	V	
008	Vc(lo)	Clamp Spannung lo an NSIN, PSIN, NCOS, PCOS, NZERO, PZERO, SG1, SG0, ROT, SF1, SF0, VREF, RCLK, A, B, Z	I()= -1mA, andere Pins offen			-1.5		-0.3	V	
009	Vc(hi)	Clamp Spannung hi an A, B, Z	Vc(hi)= V()-VDD; I()= 1mA, andere Pins offen			0.3		1.6	V	
<b>Eingangsverstärker NSIN, PSIN, NCOS, PCOS</b>										
101	Vos()	Eingangs-Offset-Spannung	Vin() gemäß Tabelle Verstärkung GAIN= 10..66 GAIN= 3..7.1			-7 -10		7 10	mV mV	
102	Iin()	Eingangsstrom	V()= 0V.. VCC			-50		50	nA	
103	G()	Verstärkung	GAIN nach Tabelle Verstärkung			95		101	%	
104	Grel	Verstärkungsverhältnis SIN/COS	GAIN nach Tabelle Verstärkung			98		102	%	
105	fhc	Grenzfrequenz	GAIN= 66.667 GAIN= 3.03			500 2.3			kHz MHz	
106	SR	Slew Rate	GAIN= 66.667 GAIN= 3.03			10 15			V/µs V/µs	
<b>Signalverarbeitung: Wandlergenauigkeit</b>										
201	AAabs	Absolute Winkelgenauigkeit	bezogen auf 360° Eingangssignal, GAIN= 3.03; VPin= 2...2.6 Vss, VNin= 2.5 Vdc VPin= 1...1.3 Vss, VNin= 2.5 Vdc			-1 -2		1 2	DEG DEG	
202	AArel	Relativer Winkelfehler	bezogen auf Ausgangsperiode A,B; GAIN= 3.03		7	-10		10	%	
<b>VREF</b>										
401	V(VREF)	Spannung an VREF	I(VREF)= -1mA..+1mA			48		52	%VCC	
<b>Signalverarbeitung: Mindest-Flankenabstand</b>										
501	RCLK	Zulässiger Widerstand an RCLK gg. GNDA	DIV= 1 (IPF= 10, 12, 16) DIV= 2 (IPF= 5, 8) DIV= 4 (IPF= 3, 4) DIV= 8 (IPF=2) DIV= 16 (IPF= 1)			47 23 12 6 3		500 500 500 500 500	kΩ kΩ kΩ kΩ kΩ	
502	DT()	Flankenabstand	R(RCLK, GNDA)= 47kΩ 1%; DIV= 1 (IPF= 10, 12, 16) DIV= 16 (IPF= 1)		4 2	45 490		78 1000	ns ns	
503	DT()	Flankenabstand	V(RCLK)= VCC; DIV= 1 (IPF= 10, 12, 16) DIV= 16 (IPF= 1)			30 420		78 1000	ns ns	

### KENNDATEN

Betriebsbedingungen: VCC= VDD= 5V ±10%, Tj= -40..125°C wenn nicht anders angegeben

Kenn Nr.	Symbol	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
<b>Zero Komparator</b>									
701	Vos()	Eingangs-Offset-Spannung	V()= Vcm()			-20		20	mV
702	Iin()	Eingangsstrom	V()= 0V.. VCC			-50		50	nA
703	Vcm()	Gleichtakt-Eingangsspannungsbereich				1.4		VCC-1.5	V
704	Vdm()	Differenz-Eingangsspannungsbereich				0		VCC	V
<b>Signalverarbeitung: Eingänge SG1, SG0, ROT, SF1, SF0</b>									
801	Vt()hi	Schwellspannung hi				60		78	%VCC
802	Vt()lo	Schwellspannung lo				25		40	%VCC
803	V0()	Mittenspannung (Leerlauf)				43		57	%VCC
804	Ri()	Innenwiderstand				45	150	220	kΩ
<b>Signalverarbeitung: Ausgänge A, B, Z</b>									
D01	Vs()hi	Sättigungsspannung hi	Vs()hi= VDD-V(); I()= -4mA					0.4	V
D02	Vs()lo	Sättigungsspannung lo	I()= 4mA					0.4	V
D05	tr()	Anstiegszeit	CL()= 50pF					60	ns
D06	tf()	Abfallzeit	CL()= 50pF					60	ns

### KENNDATEN: Diagramme

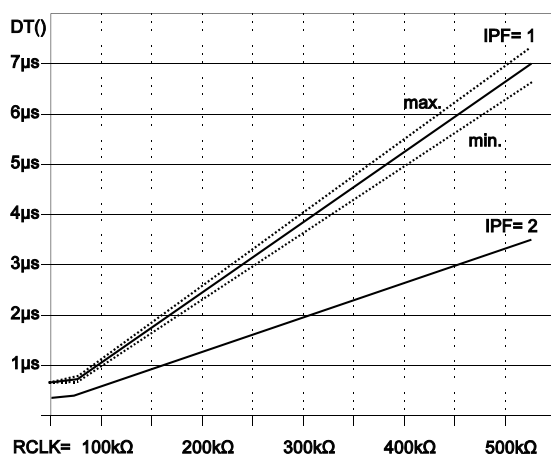


Bild 1: Einstellung des Mindest-Flankenabstands über Widerstand RCLK (Angabe typ. bei 5V, 27°C; für IPF= 1 im Bereich 5V ±10% und -40..+125°C).

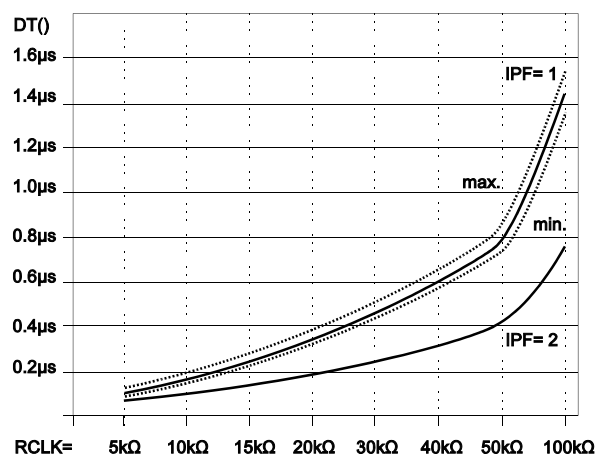


Bild 2: Wie Bild 1; der Mindest-Flankenabstand kann durch einen kleineren Widerstand RCLK reduziert werden.

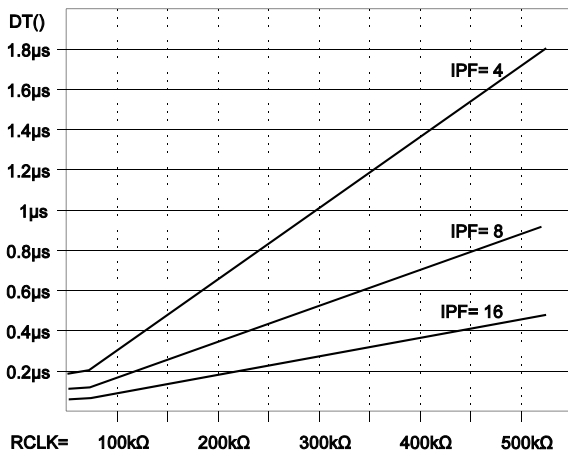


Bild 3: Einstellung des Mindest-Flankenabstands über Widerstand RCLK

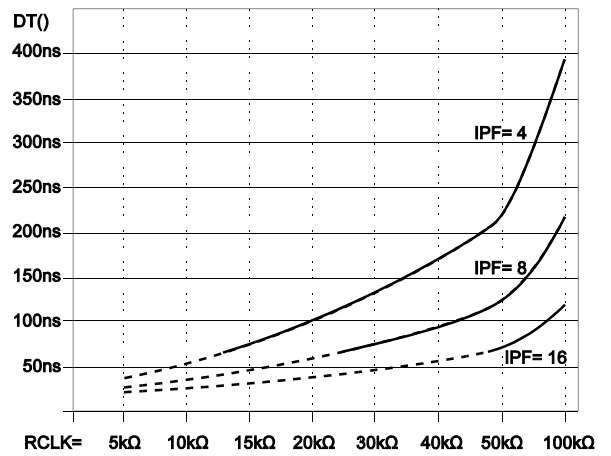


Bild 4: Wie Bild 3; Mindest-Flankenabstand bei kleinerem Widerstand RCLK.

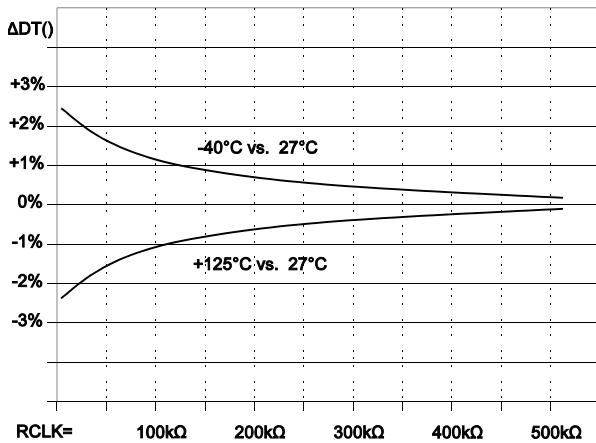


Bild 5: Temperaturdrift für Mindest-Flankenabstand gegen 27°C (VDD= 5V).

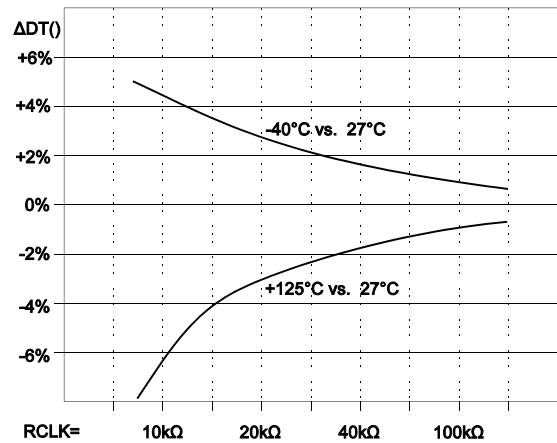


Bild 6: Temperaturdrift für verringerten Mindest-Flankenabstand gegen 27°C (VDD= 5V).

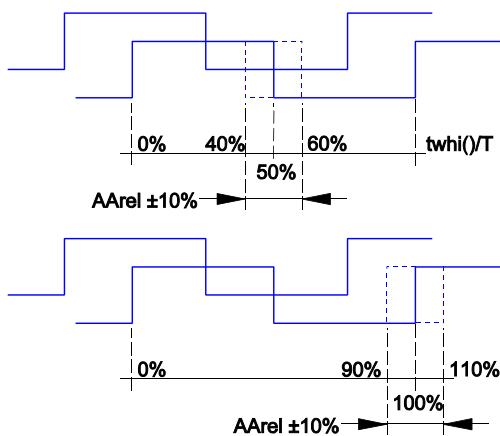


Bild 7: Definition Relativer Winkelfehler

## FUNKTIONSBESCHREIBUNG

### Eingangsverstärker

Die Eingangsstufen SIN und COS sind als Instrumentenverstärker ausgeführt. Die Verstärkungseinstellung erfolgt abhängig von der Eingangssignalamplitude über die Pins SG0 und SG1 entsprechend nachfolgender Tabelle. Für eine Anpassung des DC-Levels steht die halbe Versorgungsspannung an VREF zur Verfügung.

VERSTÄRKUNG						
SG1	SG0	Ver- stärkung  GAIN	Sinus/Cosinus-Eingangssignale Vin()			
			Amplitude		Mittelwert (DC)	
			Komplementär	Single	Komplementär	Single
hi	hi	66.667	bis 60mVss	bis 120mVss	0.7V .. VCC-1.2V	0.7V .. VCC-1.2V
hi	open	50.000	bis 80mVss	bis 160mVss	0.7V .. VCC-1.2V	0.7V .. VCC-1.2V
hi	lo	33.333	bis 120mVss	bis 240mVss	1.2V .. VCC-1.2V	1.2V .. VCC-1.3V
open	hi	20.000	bis 0.2Vss	bis 0.4Vss	1.2V .. VCC-1.2V	1.2V .. VCC-1.3V
open	open	14.300	bis 0.28Vss	bis 0.56Vss	0.7V .. VCC-1.3V	0.8V .. VCC-1.4V
open	lo	10.000	bis 0.4Vss	bis 0.8Vss	1.2V .. VCC-1.3V	1.3V .. VCC-1.5V
lo	hi	7.125	bis 0.56Vss	bis 1.1Vss	1.2V .. VCC-1.4V	1.4V .. VCC-1.7V
lo	open	4.000	bis 1Vss	bis 2Vss	1.2V .. VCC-1.6V	1.6V .. VCC-2.1V
lo	lo	3.030	bis 1.3Vss	bis 2.6Vss	1.2V .. VCC-1.7V	1.8V .. VCC-2.4V

### Wandlerkern, Flankenabstandskontrolle

Für jeden der 64 Schaltpunkte werden entsprechend dem Additionstheorem die Sinus/Cosinus-Eingangssignale summiert und jeweils einem Komparator zugeführt. Dieses Verfahren garantiert einerseits eine sehr hohe Wandlerfrequenz, bedeutet andererseits aber dass bei einer Störung am Eingang aufeinander folgende Komparatoren in sehr kurzer Zeit schalten können.

Deshalb sind die Ausgänge der Komparatoren einer Flankenabstandskontrolle zugeführt. Diese überwacht die zeitliche Abfolge der Schaltvorgänge derart, dass jedes Ereignis auf den einstellbaren Mindestabstand zu seinem Vorgänger verzögert wird. Im fehlerfreien Fall passieren die Flanken die Kontrolle ohne Zeitverzögerung. Es findet keine Synchronisation mit einem festen Takt statt.

Die Einstellung des Mindest-Flankenabstands wird über einen externen Widerstand zwischen RCLK und GNDA vorgenommen. Alternativ kann der Pin RCLK mit VCC kurzgeschlossen werden. Auflösungsabhängig sind dann maximale Eingangsfrequenzen von mindestens 200kHz garantiert (siehe Tabelle Auflösung).

### Digitale Verarbeitungseinheit

An die Flankenabstandskontrolle schließt sich die digitale Verarbeitungseinheit an. Hier findet die Umsetzung der Schaltvorgänge des Wandlers in die Pulssequenz der Inkrementalausgänge A und B statt. Die erzeugten Rechtecksignale haben in Abhängigkeit der Drehrichtung eine Phasenverschiebung von +90° oder -90°. Die Phasenbeziehung zwischen den Sinus/Cosinus-Eingangssignalen und den A/B-Ausgangssignalen kann mit dem Programmierpin ROT eingestellt werden.

Alternativ kann mit ROT= hi das MSB des Wandlers an Z ausgegeben werden. Es wechselt mit dem Nullsignal auf Eins und hat die Pulslänge einer halben Periode. Mit diesem Signal kann eine Synchronisation von höherwertigen Spuren eines Absolutwertgebers durchgeführt werden.

PHASENLAGE		
ROT	Eingangssignale	Ausgangssignale A, B; Z
lo	positiv; COS vor SIN	B vor A; Z
lo	negativ; SIN vor COS	A vor B; Z
offen	positiv; COS vor SIN	B vor A; MSB
offen	negativ; SIN vor COS	A vor B; MSB
hi	positiv; COS vor SIN	A vor B; Z
hi	negativ; SIN vor COS	B vor A; Z

### Auflösung, Frequenzbereiche

Mit den Eingängen SF0 und SF1 können neun verschiedene Auflösungen (Interpolationsfaktoren IPF) programmiert werden. Die Auflösungen 16, 12 und 10 werden direkt im Wandlerkern erzeugt. Die Auflösungen kleiner 10 werden durch Teilung DIV in der digitalen Verarbeitung erzeugt. Der minimale Flankenabstand an den Ausgängen A und B entspricht dem der Flankenabstandskontrolle multipliziert mit dem Teilerfaktor der digitalen Verarbeitungseinheit.

Der minimale Ausgangsflankenabstand (maximale Ausgangsfrequenz) sollte auf das Gesamtsystem (Bandbreite des Übertragungsmediums, Abtastrate des Zählers) angepasst werden. Die maximale Eingangsfrequenz resultiert aus der Flankenabstandskontrolle und der Auflösung des Wandlerkerns (16, 12 oder 10). Sie kann für Auflösungen kleiner 10 mit einem externen Widerstand an RCLK vergrößert werden. Die Einstellungsmöglichkeiten zeigt die folgende Tabelle.

AUFLÖSUNG					
SF1	SF0	IPF	DIV interne Teilung	$f_{in\_MAX}$	$f_{in\_MAX}$ für RCLK= VCC oder RCLK= 47 kΩ
hi	hi	16	1	200 kHz, RCLK= 47 kΩ	200 kHz
hi	open	12	1	260 kHz, RCLK= 47 kΩ	260 kHz
hi	lo	10	1	320 kHz, RCLK= 47 kΩ	320 kHz
open	hi	8	2	400 kHz, RCLK= 23 kΩ	200 kHz
open	open	5	2	640 kHz, RCLK= 23 kΩ	320 kHz
open	lo	4	4	800 kHz, RCLK= 12 kΩ	200 kHz
lo	hi	3	4	1.04 MHz, RCLK= 12 kΩ	260 kHz
lo	open	2	8	1.6 MHz, RCLK= 6 kΩ	200 kHz
lo	lo	1	16	(3.2 MHz), RCLK= 3 kΩ	200 kHz



**Hysterese**

Der iC-NV besitzt eine von der Eingangsamplitude und -phase unabhängige Winkelhysterese. Sie verhindert ein Schalten der Ausgänge bei statischen Eingängen. Das folgende Bild zeigt die Auswirkung der Hysterese für einen Interpolationsfaktor von 8.

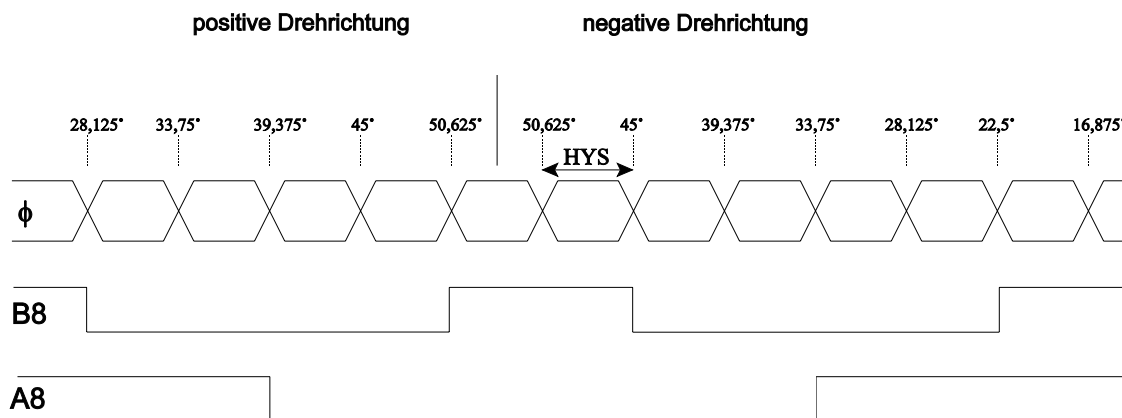


Bild 8: Auswirkung der Winkelhysterese

Im Falle einer Drehrichtungsumkehr führt die eingebaute Hysterese dazu, dass der Drehrichtungswechsel erst um die Hysterese verzögert an den Ausgängen sichtbar wird. Die Hysterese ist auflösungsabhängig auf folgende Werte fest eingestellt.

WINKELHYSTERESE									
Interpolationsfaktor	1	2	3	4	5	8	10	12	16
Hysterese in Grad	5,625°	5,625°	7,5°	5,625°	9°	5,625°	9°	7,5°	5,625°
bezogen auf A/B Periode	1/64	1/32	1/16	1/16	1/8	1/8	1/4	1/4	1/4

**Nullimpuls**

Aus den Sinus/Cosinus-Eingängen wird pro Periode ein Nullimpuls (Index) generiert. Er muss für die Ausgabe an Z durch den Komparator an den Differenzeingängen PZERO und NZERO freigegeben werden. Die Breite des Nullimpulses beträgt ein Viertel der Ausgangsperiodendauer des A bzw. B Signals. Für Z= hi gilt gleichzeitig A&B= hi. Die Lage des Nullimpulses in Abhängigkeit des Interpolationsfaktors und der Drehrichtung zeigt die folgende Tabelle.

NULLIMPULSLAGE		
IPF	Drehrichtung positiv	Drehrichtung negativ
16	45° .. 50,625°	39,375° .. 45°
12	45° .. 52,5°	37,5° .. 45°
10	45° .. 54°	36° .. 45°
8	39,375° .. 50,625°	33,75° .. 45°
5	36° .. 54°	27° .. 45°
4	33,75° .. 56,25°	28,125° .. 50,625°
3	30° .. 60°	22,5° .. 52,5°
2	22,5° .. 67,5°	16,875° .. 61,875°
1	0° .. 90°	354,375° .. 84,625°

**Oszilloskop-Aufnahmen**

In den folgenden Bildern sind Eingangs- und Ausgangssignale für verschiedene Drehrichtungen und ROT-Einstellungen für die Interpolationsfaktoren 1 und 16 dargestellt.

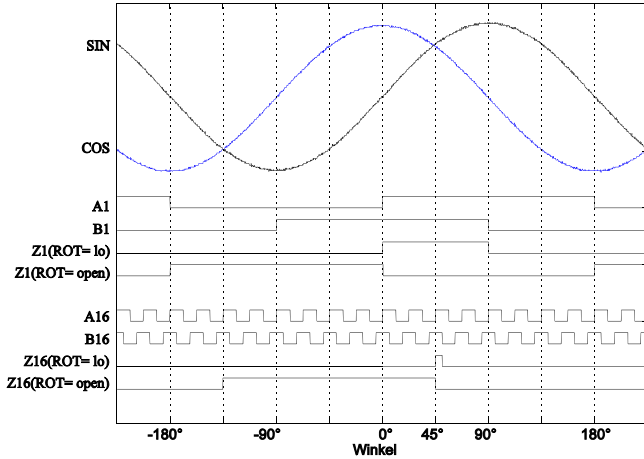


Bild 9: ROT= lo/open, COS vor SIN

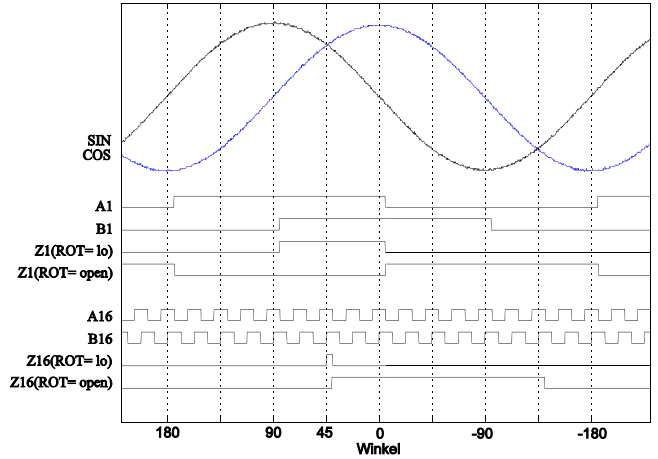


Bild 10: ROT= lo/open, SIN vor COS

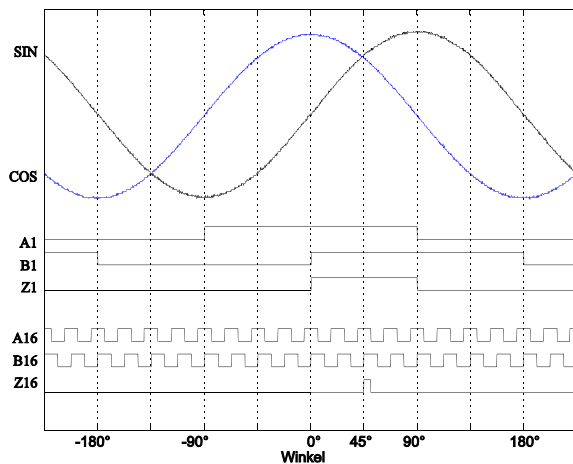


Bild 11: ROT= hi, COS vor SIN

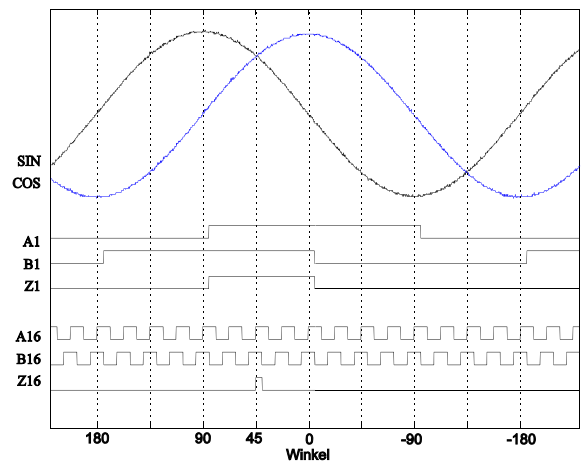


Bild 12: ROT= hi, SIN vor COS

### Testfunktionen

Der Baustein iC-NV kennt interne Testfunktionen, die auch bei einem erforderlichen Abgleich der Sensorbrücke verwendet werden können. Voraussetzung für den Testbetrieb ist, dass ein Schwellstrom von ca. 1mA im Pin RCLK überschritten ist, wenn die Versorgungsspannung eingeschaltet wird. Danach sind vier verschiedene Testfunktionen wählbar, wobei automatisch mit Testmodus 3 begonnen wird.

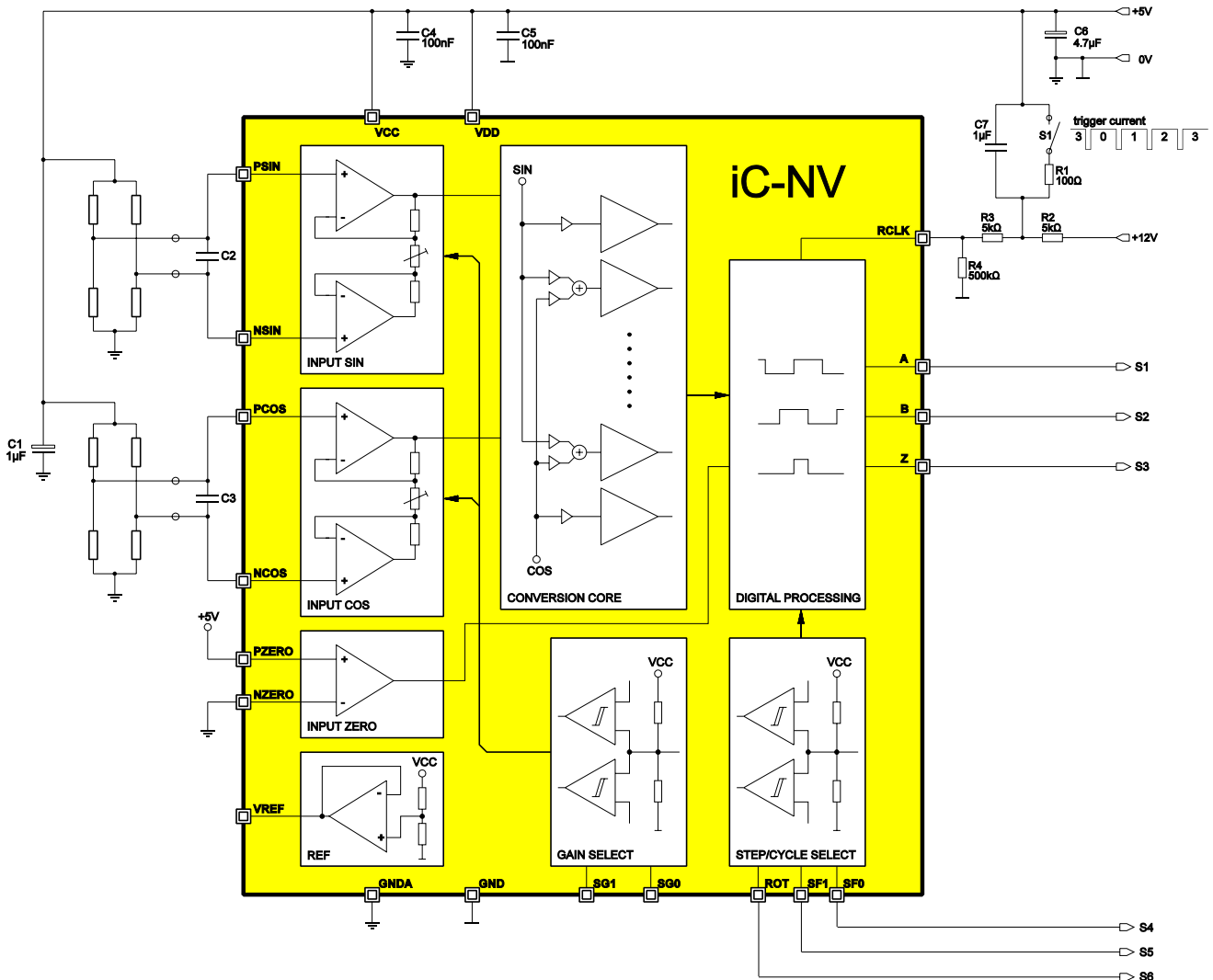


Bild 13: Aktivierung der Testfunktionen über Pin RCLK.

### Beschreibung der Testsignale

#### MODUS 3

**ZK** Index/Null-Komparator-Ausgang, unverknüpft

**EXKA** alle Komparatoren mit EXOR-Verknüpfung

**SIN, NSIN, COS, NCOS**  
Verstärkerausgänge (Signal nur unbelastet gültig)

#### MODUS 1

**CLK, UP, DN**  
Steuerungssignale für externe Zähler.

#### MODUS 2
















**NENOS, CLK, DALL**  
Testsignale für iC-Haus Bausteintest.

#### MODUS 0

**KA(0)** Komparator 0°-180°  
Das Tastverhältnis repräsentiert den Offset des Sinus-Signals.

**KA(16)** Komparator 90°-270°  
Das Tastverhältnis repräsentiert den Offset des Cosinus-Signals.

**KA(X): KA(8) EXOR KA(24)**  
Komparator 45°-225°  
Das Tastverhältnis repräsentiert das Amplitudenverhältnis zwischen Sinus- und Cosinus-Signal. Dieser Abgleich ist erst nach dem Offset-Abgleich sinnvoll.

Test Modus	S1 (A)	S2 (B)	S3 (Z)	S4 (SF0)	S5 (SF1)	S6 (ROT)
3	ZK 	EXKA 	SIN 	NSIN 	COS 	NCOS 
0	KA(0) 	KA(16) 	KA(X) 			
1	CLK 	UP 	DN 			
2	NENOS 	CLK 	DALL 			

### APPLIKATIONSHINWEISE

#### Eingangsbeschaltungen, prinzipielle

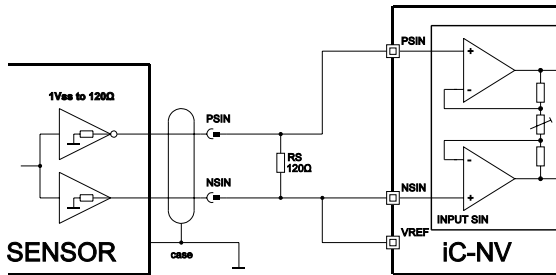


Bild 14: Eingangsbeschaltung für potentialfreie Spannungssignale von 1Vss. Bei nicht getrennter Masse entfällt die Verbindung von NSIN mit VREF.

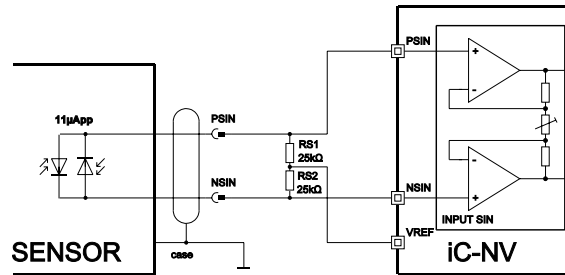


Bild 15: Eingangsbeschaltung für potentialfreie Stromsignale von 11µA. In dieser Schaltung ist ein Offset-Abgleich nicht möglich.

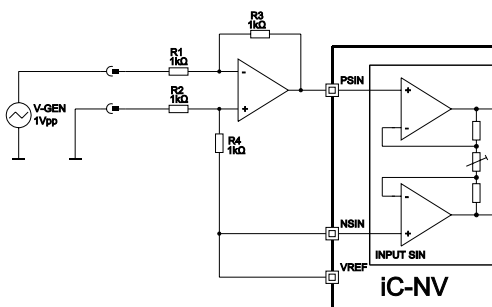


Bild 16: Eingangsbeschaltung für Masse-bezogene, nicht-symmetrische Spannungs- oder Stromquellen-signale (Anpassung über die Widerstände R3, R4).

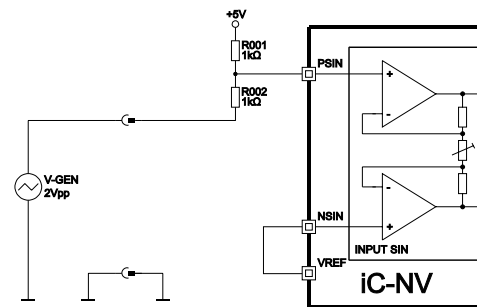


Bild 17: Vereinfachte Eingangsbeschaltung für Masse-bezogene, nicht-symmetrische Spannungssignale.

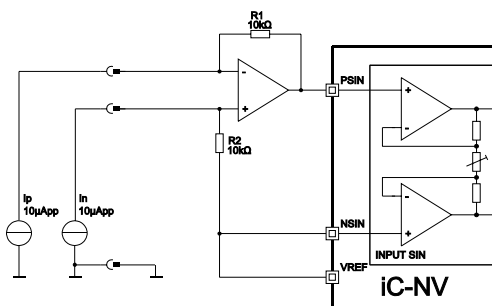


Bild 18: Eingangsbeschaltung für komplementäre Low-Side-Stromquellen-Ausgänge, wie zum Beispiel vom Opto-Encoder iC-WG.

### Anschluss von Fotodioden-Arrays mit gemeinsamer Kathode

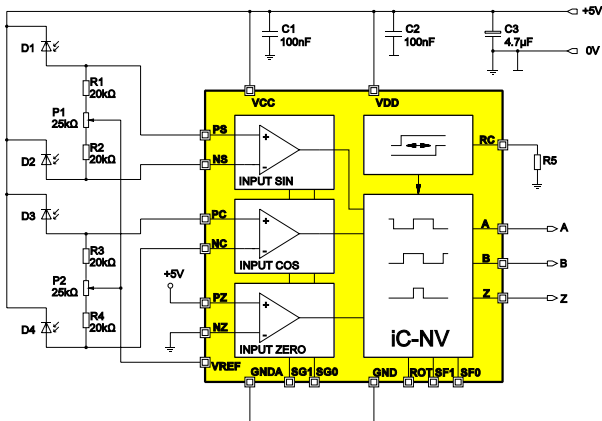


Bild 19: Anschlussprinzip mit Offset-Abgleichmöglichkeit; die Widerstandswerte sind in Abhängigkeit der verfügbaren Fotoströme zu wählen (z.B. 65kΩ für max. 16μAs bei GAIN= 3, bzw. 1μA bei GAIN= 50).

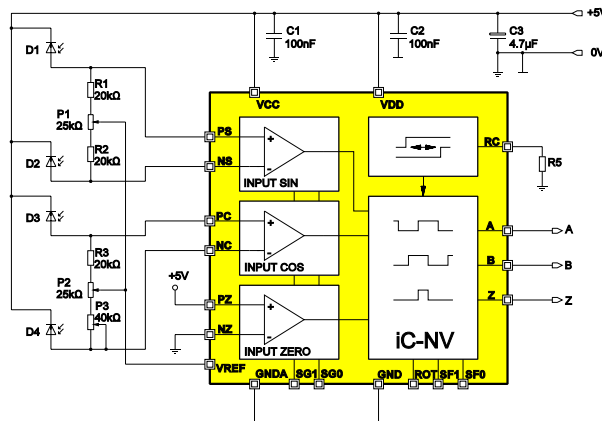


Bild 20: Zusätzliche Abgleichmöglichkeit für Amplitudendifferenzen; die Einstellungen an P3 sind zuerst vorzunehmen.

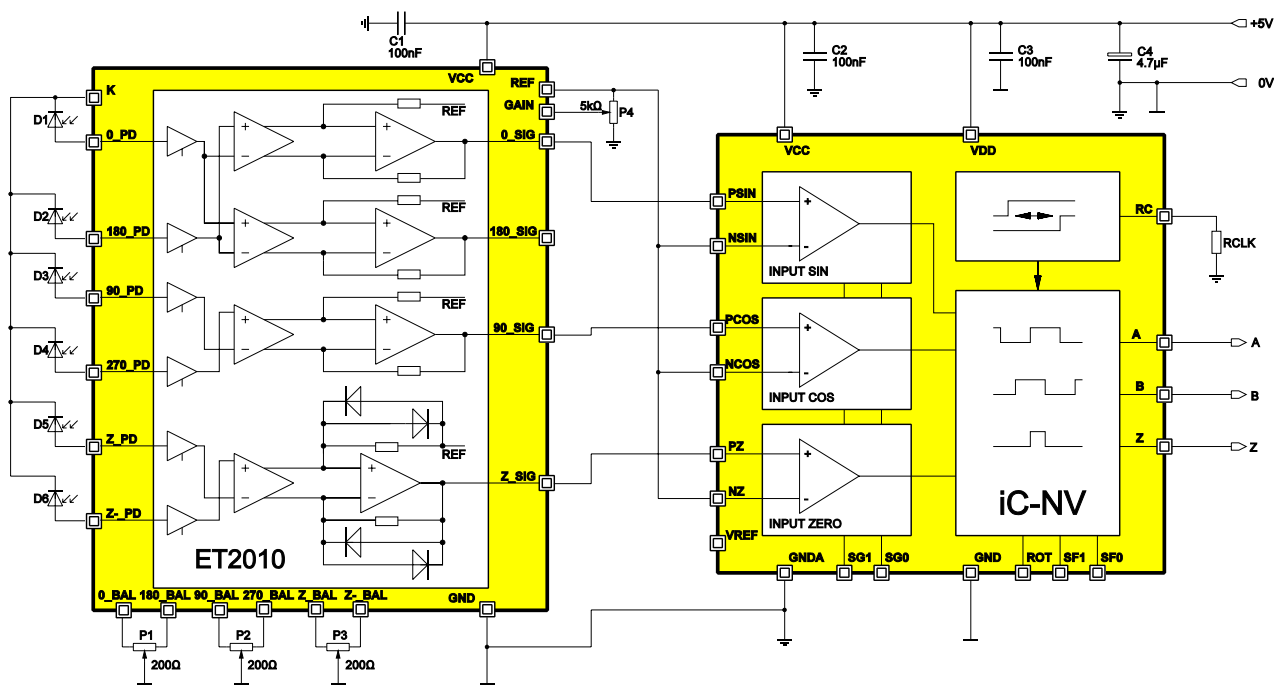


Bild 21: Fotodioden-Abtastung mit Vorverstärker- und Trimmschaltung ET2010.

### Anschluss von Fotodioden-Arrays mit gemeinsamer Anode

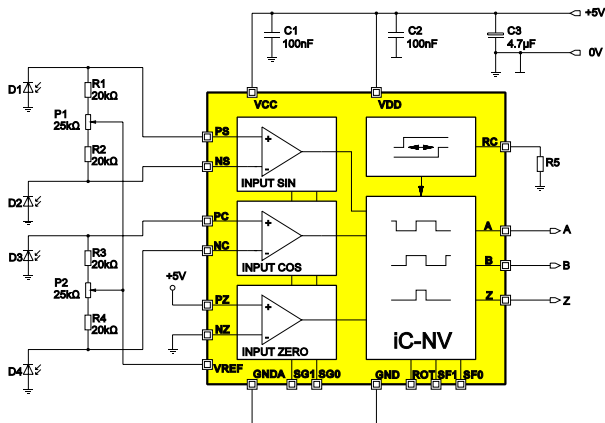


Bild 22: Anschlussprinzip mit Offset-Abgleichmöglichkeit; die Widerstandswerte sind in Abhängigkeit der verfügbaren Fotoströme zu wählen (z.B. 65kΩ für max. 16μAs bei GAIN= 3, bzw. 1μA bei GAIN= 50).

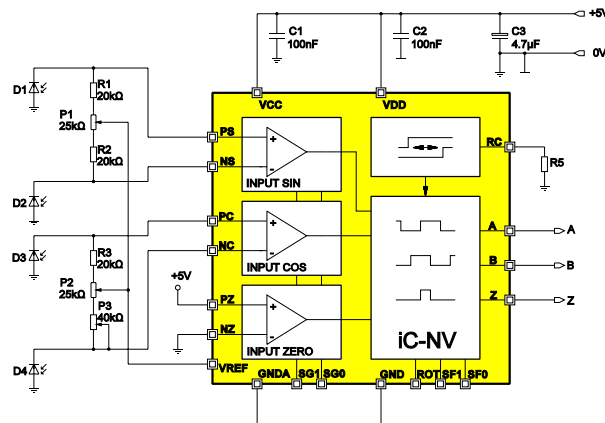


Bild 23: Zusätzliche Abgleichmöglichkeit für Amplitudendifferenzen; Einstellungen an P3 sind zuerst vorzunehmen.

### Anschluss von Magneto-Resistiven Sensoren

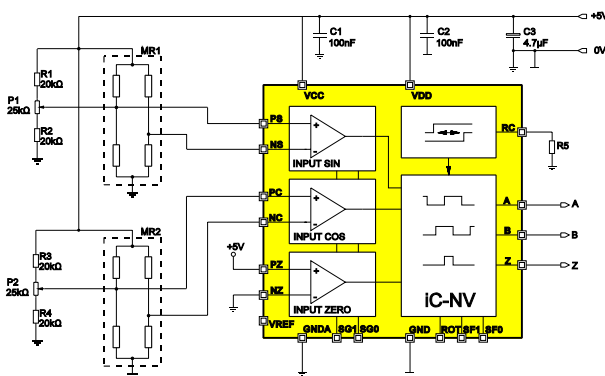


Bild 24: Anschluss von MR-Sensorbrücken mit Offset-Abgleichmöglichkeit; offene Einstellpins können zur Erhöhung der Störfestigkeit auch an VREF geschaltet werden.

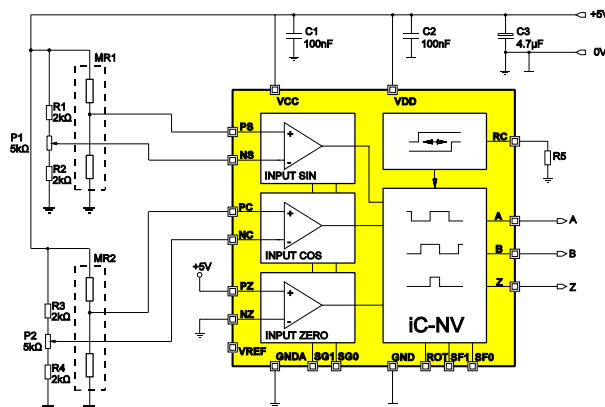


Bild 25: Anschluss von MR-Sensoren als Halbbrücke mit Offset-Abgleichmöglichkeit.

### Applikationsbeispiel für ein MR-Sensor System

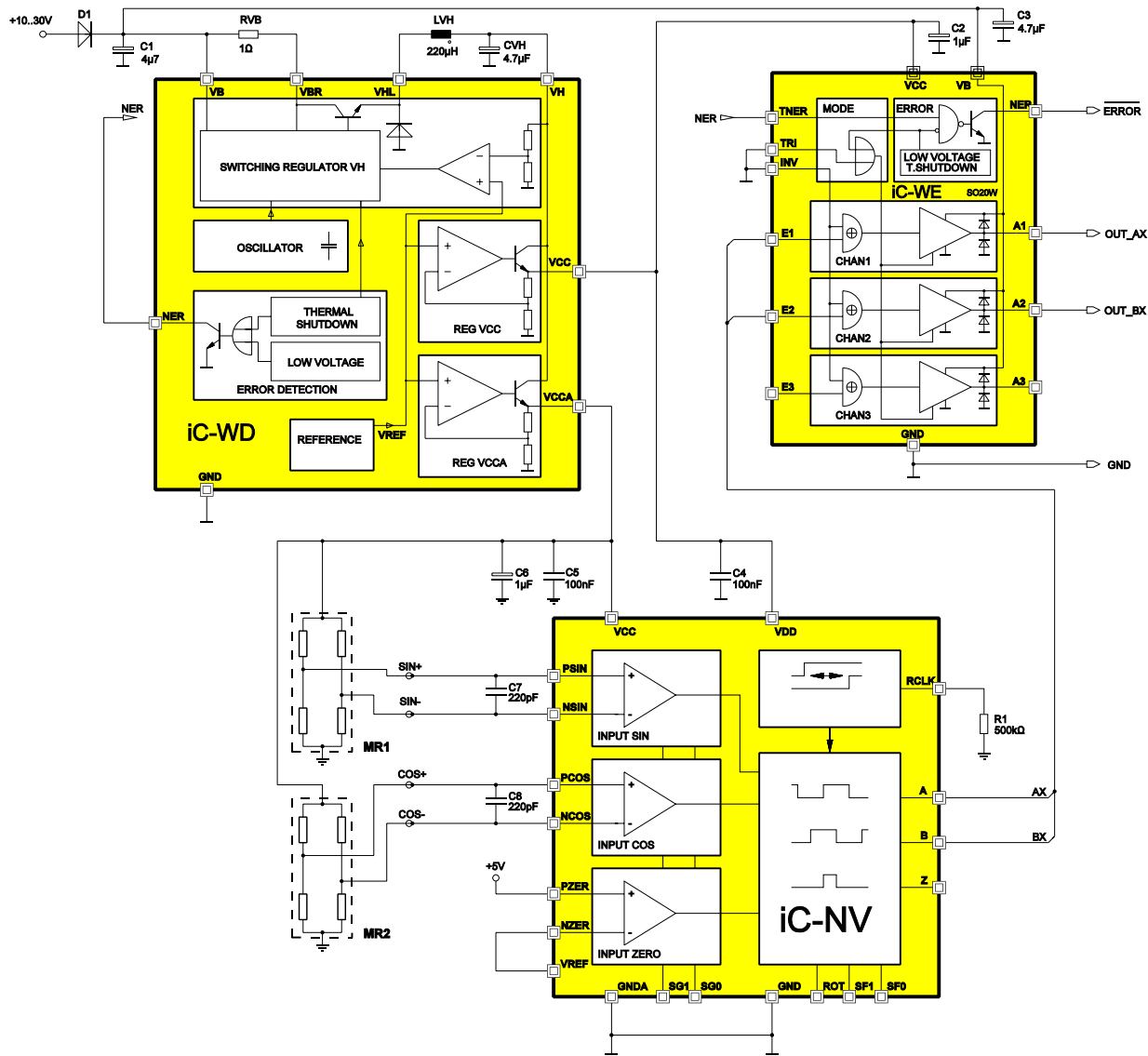


Bild 26: Gesamtschaltung eines MR-Sensorsystems für 24V mit der rauscharmen Schaltwandler-Linearregler-Kombination iC-WD und dem Leitungstreiber iC-WE, der eine Übertragung über 100m Kabellänge ermöglicht. Die maximale Ausgabefrequenz ist durch R1= 500kΩ auf ca. 280kHz begrenzt um den externen Zähler nicht zu überfordern (Pins SF1 und SF0 offen: IPF= 5). Für Motorapplikationen kann zusätzlich mit C7/C8 entstört werden.



### DEMO-BOARD

Der Baustein iC-NV wird mit einem Demo-Board zu Testzwecken bemustert. Die folgenden Bilder zeigen die Schaltung sowie die Ober- und Unterseite der Testplatine.

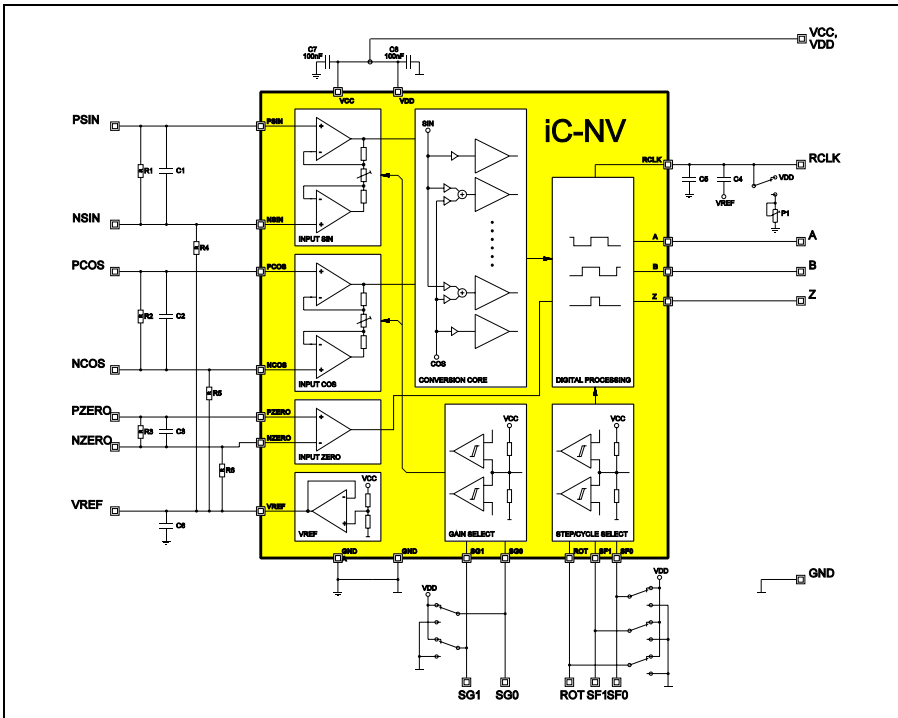


Bild 27: Schaltplan des Demo-Boards (Auslieferung ohne Poti-Bestückung, der entsprechende Schalter muss in hi-Stellung verbleiben).

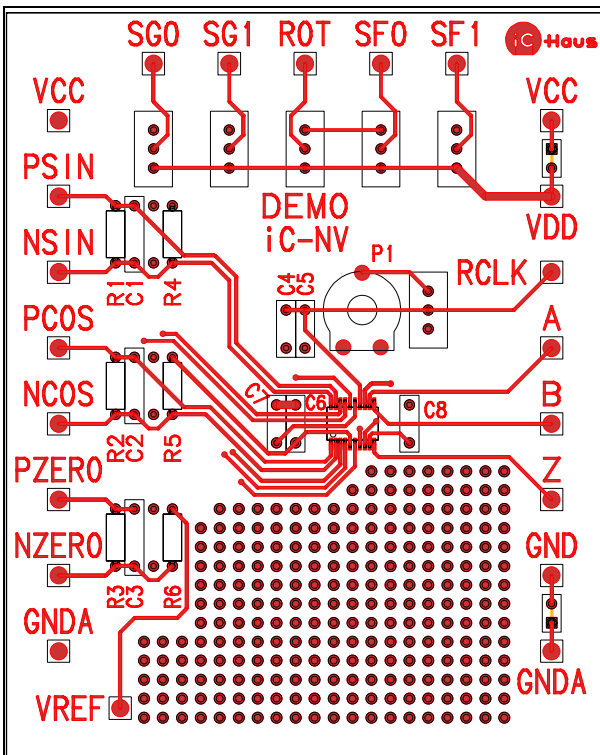


Bild 28: Demo-Board (Bestückungsseite)

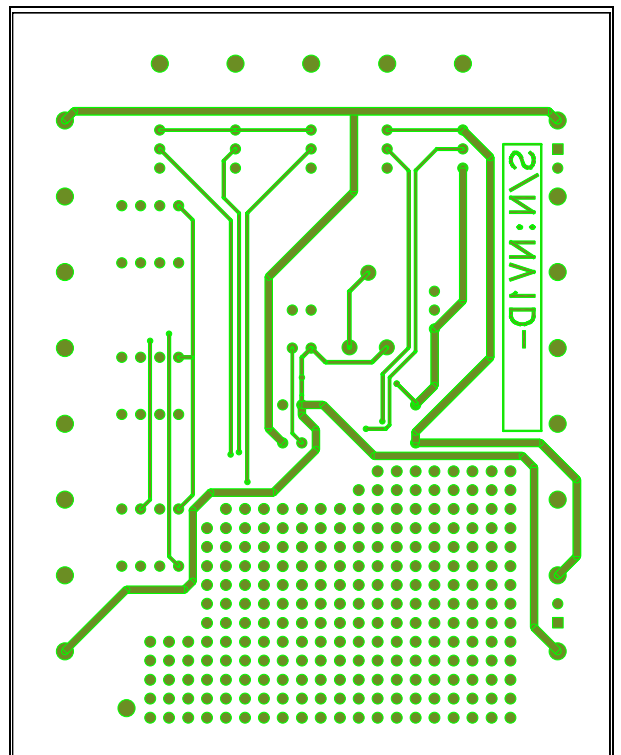


Bild 29: Demo-Board (Lötseite)

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2007, herausgegeben vom Statistischen Bundesamt, Wiesbaden, Dezember 2006, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

**BESTELL-HINWEISE**

Typ	Gehäuse	Bestellbezeichnung
iC-NV	TSSOP20 4.4mm	iC-NV TSSOP20
Demo Board		EVAL NV1D

Technischen Support und Auskünfte über Preise und Liefertermine geben:

**iC-Haus GmbH**  
Am Kuemmerling 18  
55294 Bodenheim

Tel. 06135-9292-0  
Fax 06135-9292-192  
<http://www.ichaus.com>  
E-Mail [sales@ichaus.com](mailto:sales@ichaus.com)

Autorisierte Distributoren nach Region: [http://www.ichaus.de/support\\_distributors.php](http://www.ichaus.de/support_distributors.php)