

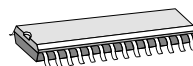
EIGENSCHAFTEN

- ◆ Echtzeit-Interpolator mit einstellbarer Auflösung bis 256 Winkelschritten pro Periode
- ◆ Wandleranpassung an verzerrte, Oberwellen behaftete Sinus/Cosinus-Eingangssignale möglich
- ◆ Ausgabe inkremental mit A/B/Z-Signalen bis 400kHz, parallel als 8-Bit-Absolutwert oder über serielle Schnittstelle
- ◆ Überwachung der Eingangsfrequenz
- ◆ Einstellbare Nullimpuls-Lage
- ◆ Schneller 24-Bit-Multiturn-Zähler (Positionserfassung mit Zielvergleich)
- ◆ 8-Bit Mikrocontroller-Interface zur Datenübertragung
- ◆ Interruptcontroller
- ◆ Extern einstellbarer Taktoszillator
- ◆ Extern konfigurierbare Eingangsverstärker
- ◆ Baustein-Setup aus seriellem EEPROM ladbar
- ◆ TTL kompatible Eingänge, TTL/CMOS kompatible Ausgänge
- ◆ Ein- und Ausgänge gegen Zerstörung durch ESD geschützt

ANWENDUNGEN

- ◆ Dekoder-iC zur Winkelauflösung von Sinus/Cosinus-Signalen
- ◆ Schnittstelle mit Auswertung für MR-Sensoren und optische Analog-Drehgeber

GEHÄUSE

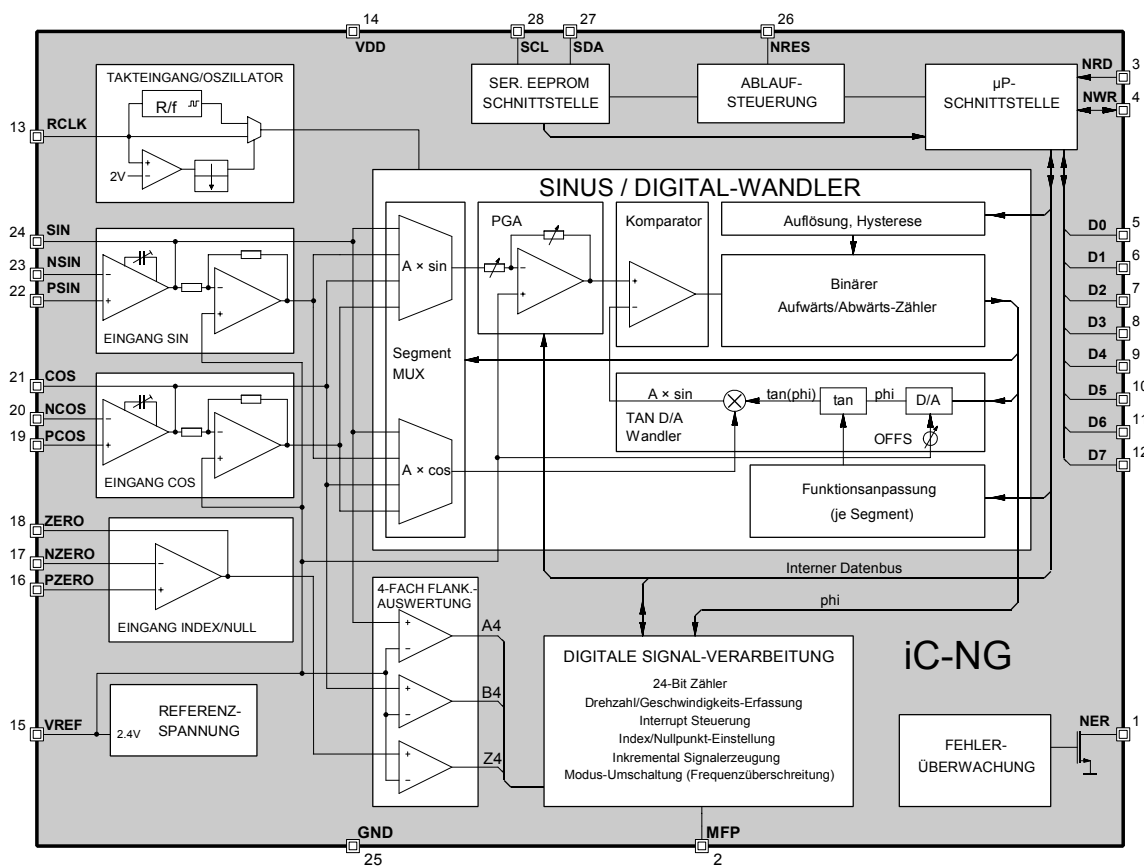


SO28



SSOP28

BLOCKSCHALTBIELD



KURZBESCHREIBUNG

Der iC-NG ist ein monolithischer A/D-Wandler, der den Winkelwert von zwei um 90° phasenverschobenen sinusförmigen Eingangssignalen mit der eingestellten Auflösung und Hysterese ermittelt.

Dazu wird eine Periode achtfach unterteilt; jedes dieser Segmente kann mit bis zu 32 Winkelschritten aufgelöst werden. Auflösungen von 1 bis 256 Teilungen pro Periode sind möglich.

Der Wandler kann für jedes Segment getrennt an die Form der Eingangssignale angepasst werden, so dass auch verzerrte Sinussignale oder z.B. Dreieckssignale gewandelt werden können. Zusätzlich kann die Drehrichtung invertiert und die Lage der Nullposition in 45° -Schritten eingestellt werden.

Ausgangswerte und Parameter werden in Registern gehalten, die an den internen 8-Bit-Datenbus angeschlossen sind. Die Register können über eine parallele Mikrocontroller-Schnittstelle gelesen und beschrieben werden. Ist ein EEPROM an die serielle Schnittstelle angeschlossen, wird das Baustein-Setup nach einem Reset automatisch eingelesen.

Der Ausgangswert besteht aus einem 8-Bit-Wort für die Interpolation in einer Periode und aus einem 24-Bit-Positionsähler für die Erfassung der Periodenzahl. Der Ausgangswert kann zusätzlich zu den normalen Zugriffsmöglichkeiten seriell übertragen werden.

Der Positionsähler kann über den Nullimpuls zurückgesetzt oder über den bidirektionalen Pin MFP gestartet und gestoppt werden. Als Ausgang programmiert zeigt MFP den Wechsel des Ausgangswertes oder das Erreichen einer bestimmten Position an (Interruptausgang). Nach einem Reset stimmt das Interpolationsergebnis bereits nach wenigen Taktzyklen, sogar bei statischen Eingangssignalen.

Wählt man den Inkremental-Modus, werden die Änderungen des Winkels als Rechtecksignale mit 90° Phasenverschiebung an den Anschlüssen D0(Ax) und D1(Bx) mit der eingestellten Auflösung und an den Anschlüssen D3(A4) und D4(B4) mit der Auflösung von Vier ausgegeben. An D2(Zx) und an D5(Z4) steht das entsprechend aufbereitete Nullsignal an. Der Anschluss D6(ROT) kennzeichnet die Drehrichtung. Am Anschluss D7(AXB) wird eine EXOR-Verknüpfung der Spuren Ax und Bx ausgegeben.

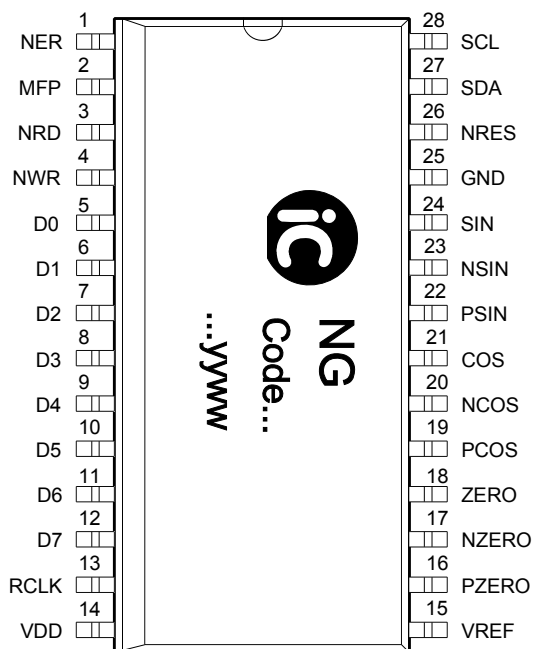
Die Anschlüsse der Eingangsverstärker sind alle herausgeführt; es können Strom- oder Spannungseingänge realisiert werden. Auch der Anschluss von komplementären Eingangssignalen ist möglich. Die Eingangsverstärker sind intern kompensiert, der Wert der Kompensation ist programmierbar.

Die interne Taktfrequenz ist mit einem externen Widerstand einstellbar oder kann über den Pin RCLK eingespeist werden. Für die Drehzahlerfassung werden die Taktpulse zwischen zwei Ausgangsänderungen gezählt. An dem Ausgang NER (Open Drain) werden die Fehler Unterspannung und zu hohe Eingangsfrequenz signalisiert. Der zugehörige Fehlercode ist im entsprechenden Register gespeichert.

GEHÄUSE SO28, SSOP28 nach JEDEC-Standard

ANSCHLUSSBELEGUNG SO28

(von oben)



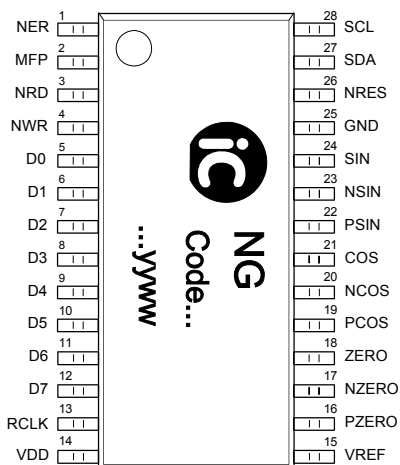
PIN-FUNKTIONEN

Nr.	Name	Funktion
1	NER	Fehlerausgang, low aktiv
2	MFP	Multifunktionspin, bidirektional
3	NRD	Lesesignal, low aktiv ¹⁾ / SSI-Clock
4	NWR	Schreibsignal (low aktiv) ¹⁾ / SSI-Ausgang
5	D0	Datenbus / Inkrementalausgang Spur A (AX)
6	D1	Datenbus / Inkrementalausgang Spur B (BX)
7	D2	Datenbus / Nullimpuls (ZX)
8	D3	Datenbus / Sinus-Rechteck-Wandlung (A4)
9	D4	Datenbus / Cosinus-Rechteck-Wandlung (B4)
10	D5	Datenbus / Nullimpuls-Rechteck-Wandlung (Z4)
11	D6	Datenbus / Laufrichtung L/R (ROT)
12	D7	Datenbus / AX EXOR BX (AXB)
13	RCLK	Takteingang / Oszillatorbeschaltung
14	VDD	+5V Versorgungsspannung
15	VREF	Bezugspotential
16	PZERO	Eingang Nullsignal +
17	NZERO	Eingang Nullsignal -
18	ZERO	Verstärkerausgang Nullsignal
19	PCOS	Eingang Cosinus +
20	NCOS	Eingang Cosinus -
21	COS	Verstärkerausgang Cosinus
22	PSIN	Eingang Sinus +
23	NSIN	Eingang Sinus -
24	SIN	Verstärkerausgang Sinus
25	GND	Masse
26	NRES	Reset, low aktiv
27	SDA	Modusauswahl / Datenleitung (serielle Schnittstelle)
28	SCL	Modusauswahl / Taktleitung (serielle Schnittstelle)

Hinweise: 1) Beschaltung an VDD empfohlen wenn der Eingang nicht benutzt wird.

ANSCHLUSSBELEGUNG SSOP28 5.3mm

(von oben)



GRENZWERTE

Keine Zerstörung, Funktion nicht garantiert.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild			Einh.
					Min.	Max.	
G001	VDD	Versorgungsspannung			-0.3	6.0	V
G002	V()	Spannung an SIN, NSIN, PSIN, COS, NCOS, PCOS, ZERO, NZERO, PZERO, VREF, MFP, RCLK, NER, D0..7, NRD, NWR, NRES, SCL, SDA			-0.3	VDD+0.3	V
G003	I _{mx} (VDD)	Strom in VDD			-50	50	mA
G004	I _{mx} (GND)	Strom in GND			-50	50	mA
G005	I _c ()	Schutzdiodenstrom in SIN, NSIN, PSIN, COS, NCOS, PCOS, ZERO, NZERO, PZERO, VREF, MFP, RCLK, NER, D0..7, NRD, NWR, NRES, SCL, SDA	MFP, D0..7, NWR mit Eingangsfunktion		-5	5	mA
G006	I()	Strom in SIN, COS, ZERO, VREF, MFP, NER, D0..7, NWR, SCL	MFP, D0..7, NWR mit Ausgangsfunktion		-10	10	mA
G007	I _{lu} ()	Pulsstrom in allen Pins (Latch-Up Festigkeit)	Pulsdauer ≤ 10µs		-100	100	mA
EG1	V _d ()	ESD-Prüfspannung, an allen Pins	MIL-STD-883D, Methode 3015, HBM; 100pf entladen über 1.5kΩ			2	kV
TG1	T _j	Chip-Temperatur			-40	150	°C
TG2	T _s	Lagertemperatur			-40	150	°C

THERMISCHE DATEN

Betriebsbedingungen: VDD= 5V ±10%

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Bild				Einh.
					Min.	Typ.	Max.	
T1	T _a	Zulässiger Umgebungstemperaturbereich (erweiterter Temperaturbereich auf Anfrage)			-20		70	°C

KENNDATEN

Betriebsbedingungen: VDD= 5V ±10%, Tj= -40..125°C, wenn nicht anders angegeben.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.
						Min.	Typ.	Max.	
Allgemeines									
001	VDD	Zulässige Versorgungsspannung				4.5		5.5	V
002	I(VDD)	Versorgungsstrom	Ausgänge inaktiv			5		25	mA
003	Vt()hi	Schwellspannung hi an D0..D7,MFP,NRD,NWR,NRES						2	V
004	Vt()lo	Schwellspannung lo an D0..D7,MFP,NRD,NWR,NRES				0.8			V
005	Vt()hys	Eingangshysterese an D0..D7,MFP,NRD,NWR,NRES	Vt()hys= Vt()hi -Vt()lo			100			mV
006	Iin()	Eingangsstrom D0..D7,MFP,NRD,NWR,NRES				-1		+1	µA
007	Vs()lo	Sättigungsspannung lo an D0..D7, MFP	I()= 4mA					0.4	V
008	Vs()hi	Sättigungsspannung hi an D0..D7, MFP	Vs()hi= VDD -V(); I()= -4mA					0.4	V
E001	Vc()hi	Clamp Spannung hi an allen Pins	Vc()hi= V()-VDD; I()= 1mA, andere Pins offen			0.3		1.5	V
E002	Vc()lo	Clamp Spannung lo an allen Pins	I()= -1mA, andere Pins offen			-1.5		-0.3	V
Eingangs-Operationsverstärker SIN, COS, INDEX/NULL									
101	Vin()	Empfohlener Eingangsspannungsbereich				1		3.5	Vss
102	Vos()	Eingangs-Offset-Spannung	Vin()= 1V..VDD-1V			-10		+10	mV
103	Iin()	Eingangsstrom				-50		+50	nA
104	Vcm()	Gleichtakt-Eingangsspannungsbereich	Iout()= 0..±5mA			0.1		VDD-1.0	V
105	Vs()hi	Sättigungsspannung hi	Vs()hi= VDD -V(), Iout()= -5mA					0.5	V
106	Vs()lo	Sättigungsspannung lo	Iout()= 5mA					0.5	V
107	SR0	Slew-Rate	CL= 0, Cc= 0 (Cc programmiert)				4		V/µs
108	SR1	Slew-Rate	CL= 300pF, Cc= 4pF				2		V/µs
109	SR2	Slew-Rate	CL= 800pF, Cc= 6.4pF				1.2		V/µs
110	SR3	Slew-Rate	CL= 1.5nF, Cc= 12pF				0.8		V/µs
111	GBW0	Verstärkungs-Bandbreite-Produkt	CL= 0, Cc= 0 (Cc programmiert)				4.1		MHz
112	GBW1	Verstärkungs-Bandbreite-Produkt	CL= 300pF, Cc= 4pF				1		MHz
113	GBW2	Verstärkungs-Bandbreite-Produkt	CL= 800pF, Cc= 6.4pF				0.75		MHz
114	GBW3	Verstärkungs-Bandbreite-Produkt	CL= 1.5nF, Cc= 12pF				0.4		MHz
Referenz VREF									
115	V(VREF)	Referenzspannung	I(VREF)= 0..-1mA			2.2	2.4	2.6	V
Fehlerüberwachung NER									
201	Vs()lo	Sättigungsspannung lo	I(NER)= 5mA				0.2	0.7	V
202	Isc()lo	Kurzschlussstrom lo	V(NER)= 0.4..VDD+0.3V			5		21	mA
203	I0()	Reststrom	V(NER)= 0..VDD+0.3V, NER= hi oder VDD< 0.3V					10	µA
204	VDDon	Einschaltsschwelle VDD					4.7		V
205	VDDoff	Unterspannungsschwelle VDD	abnehmende Spannung VDD				4.5		V
206	VDDhys	Hysterese	VDDhys= VDDon -VDDoff				200		mV
207	VDDerr	Versorgungsspannung VDD für Unterspannungsmeldung				2.2		5.5	V

KENNDATEN

Betriebsbedingungen: VDD= 5V ±10%, Tj= -40..125°C, wenn nicht anders angegeben.

Kenn Nr.	Formelzeichen	Benennung	Bedingungen	Tj °C	Bild				Einh.	
						Min.	Typ.	Max.		
Oszillator RCLK										
301	fmax	Zulässige Oszillatorfrequenz						5	MHz	
302	fosc	Oszillatorfrequenz	Rosc= 56kΩ Rosc= 18.2kΩ			550 1.6	670 1.8	800 2.0	kHz MHz	
303	R(RCLK)	Zulässiger Widerstand				5		500	kΩ	
304	Vt()hi	Schwellspannung hi						3	V	
305	Vt()lo	Schwellspannung lo	tw()lo < 10µs			0.8			V	
306	Vt()hys	Hysterese	Vt()hys= Vt()hi -Vt()lo			100			mV	
307	tmx()lo	Zulässige Pulsdauer lo bei externer Takteinspeisung						10	µs	
Serielle EEPROM Schnittstelle SCL, SDA										
401	Vt()hi	Schwellspannung hi						2	V	
402	Vt()lo	Schwellspannung lo				0.8			V	
403	Vt()hys	Eingangshysterese	Vt()hys= Vt()hi -Vt()lo			300			mV	
404	Vs()lo	Sättigungsspannung lo	I()= 4mA				0.26	0.4	V	
405	Vs()hi	Sättigungsspannung hi	Vs()hi= VDD -V(); I()= -4mA					0.4	V	
406	Rpu()	Pull-up Widerstand				5	10	20	kΩ	
Wandlergenauigkeit										
501	AAabs	Absolute Winkelgenauigkeit	bezogen auf 360° Eingangssignal; VDD= 5V, V(SIN, COS)= 3Vss, RES= 256, ADAP= 0, FREQ= 1; Rosc= 56kΩ, Tj= -20..70°C Rosc= 18.2kΩ, Tj= -20..70°C Rosc= 18.2kΩ, Tj= -40..125°C			-0.8 -1.6 -2.8		+0.8 +1.6 +2.8	DEG DEG DEG	
502	AArel	Relativer Winkelfehler	siehe 501, bezogen auf Ausgangsperiode AX; Rosc= 56kΩ, Tj= -20..70°C Rosc= 18.2kΩ, Tj= -20..70°C Rosc= 18.2kΩ, Tj= -40..125°C			-20 -30 -30		+20 +30 +30	% % %	

KENNDATEN BILDER

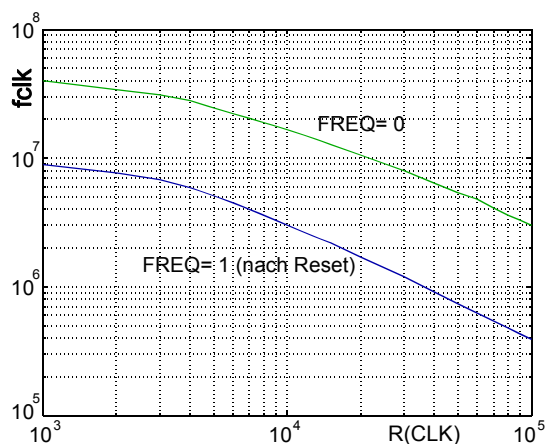


Bild 1: Oszillatorfrequenz

BETRIEBSBEDINGUNGEN: Logik

Betriebsbedingungen: $V_{CC} = 5V \pm 10\%$, $T_a = -20..70^\circ\text{C}$, $CL() = 150\text{pF}$,
 Eingangspegel $lo = 0..0.45V$, $hi = 2.4V..V_{CC}$, Bezugspegel für Zeitangaben nach Bild 2

Kenn Nr.	Formel- zeichen	Benennung	Bedingungen	Bild			Einh.
					Min.	Max.	
Lesezyklus							
11	t_{RD}	Wartezeit: Daten gültig nach NRD hi-lo	erster Zugriff mit Speicherung der NG und COUNT Register nachfolgende Zugriffe	3		$1.5x$ $td(\text{CLK})$	ns
12	t_{DF}	Rückstellzeit: Datenbus hochohmig nach NRD lo-hi		3		65	ns
13	t_{RL}	Erforderliche Lesesignaldauer an NRD	SSI-Ausgabe	3	200	$2.5x$ $td(\text{CLK})$	ns
Schreibzyklus							
14	t_{DW}	Vorbereitungszeit: gültige Daten vor NWR lo-hi		3	100		ns
15	t_{WD}	Haltezeit: gültige Daten nach NWR lo-hi		3	10		ns
16	t_{WL}	Erforderliche Schreibsignaldauer an NWR		3	200		ns
Schreiben/Lesen							
17	t_{cyc}	Zeit zwischen Zyklen: NRD lo-hi zu NRD hi-lo, NRD lo-hi zu NWR hi-lo, NWR lo-hi zu NWR hi-lo, NWR lo-hi zu NRD hi-lo		3	$2x$ $td(\text{CLK})$		ns

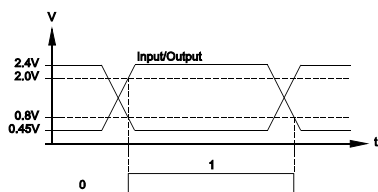


Bild 2: Bezugspegel für Zeitangaben

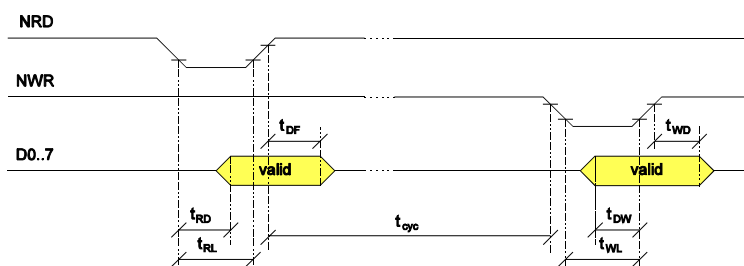


Bild 3: Lese- und Schreibzyklus

FUNKTIONSBESCHREIBUNG

Wandlerprinzip

Der Baustein iC-NG ist ein Analog-Digital-Umsetzer nach dem Nachlaufverfahren (Kompensationsverfahren). Der Ausgangswert ist in einem Aufwärts/Abwärts-Zähler gespeichert. Dieser wird über einen D/A-Umsetzer in eine analoge Spannung gewandelt und von einem Komparator mit dem Eingangssignal verglichen. Der Ausgang des Komparators steuert den Richtungseingang des Zählers. Die Zählrichtung wird solange beibehalten, bis die dem Ausgangswert proportionale Ausgangsspannung des D/A-Umsetzers dem Wert der Eingangsspannung entspricht.

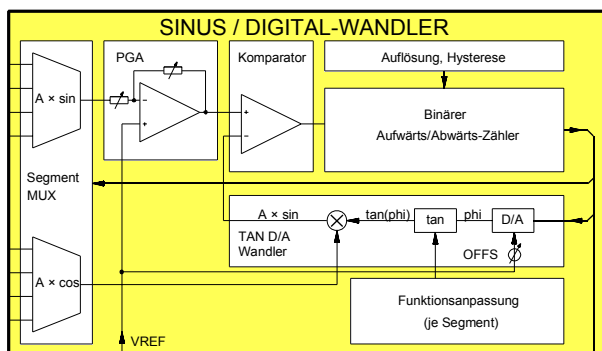


Bild 4: TAN-D/A-Wandlerkern

Im Gegensatz zu herkömmlichen A/D-Wandlern ist im Sinus/Digital-Wandler der Ausgangswert nicht proportional zur Eingangsspannung, sondern zu dessen Phase. Im Folgenden wird der Eingangswert mit "PHI" und der Ausgangswert mit "phi" bezeichnet.

Die Phase steht am Eingang in der Form $A \times \sin(\text{PHI})$ und $A \times \cos(\text{PHI})$ zur Verfügung. Von dem Ausgangs-

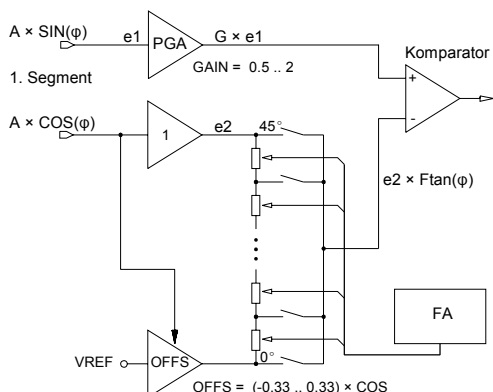


Bild 5: Prinzipschaltbild des Wandlers

wert wird in der Rückführung die Tangensfunktion gebildet und mit $\cos(\text{PHI})$ multipliziert. Das Ergebnis wird mit $\sin(\text{PHI})$ kompariert. Als Vorschrift für die Regelung erhält man:

$$A * \sin(\Phi) = A * \cos(\Phi) * \tan(\phi)$$

Da die Tangensfunktion Polstellen besitzt und nicht über eine volle Periode gebildet werden kann, wird eine Periode in acht Segmente unterteilt. Für bestimmte Segmente werden die Eingangssignale vertauscht und in der Rückkopplung die Cotangensfunktion gebildet. Die Funktion der Segmentumschaltung ist in der folgenden Tabelle dargestellt.

Segmente	Komparatoreingänge	
1 phi= 0° ..45°	$A \times \sin(\text{PHI})$	$A \times \cos(\text{PHI}) \times \tan(\phi) $
2 phi= 45° ..90°	$A \times \cos(\text{PHI})$	$A \times \sin(\text{PHI}) \times \cot(\phi) $
3 phi= 90° ..135°	$-A \times \cos(\text{PHI})$	$A \times \sin(\text{PHI}) \times \cot(\phi) $
4 phi= 135° ..180°	$A \times \sin(\text{PHI})$	$-A \times \cos(\text{PHI}) \times \tan(\phi) $
5 phi= 180° ..225°	$-A \times \sin(\text{PHI})$	$-A \times \cos(\text{PHI}) \times \tan(\phi) $
6 phi= 225° ..270°	$-A \times \cos(\text{PHI})$	$-A \times \sin(\text{PHI}) \times \cot(\phi) $
7 phi= 270° ..315°	$A \times \cos(\text{PHI})$	$-A \times \sin(\text{PHI}) \times \cot(\phi) $
8 phi= 315° ..360°	$-A \times \sin(\text{PHI})$	$A \times \cos(\text{PHI}) \times \tan(\phi) $

Bild 6: Segmentierung

Der Sinus/Digital-Wandler läuft automatisch auf dem kürzesten Weg in das richtige Segment und hat somit bei statischem Eingangssignal nach maximal $n/2$ Taktzyklen seinen Arbeitspunkt erreicht (n entspricht der Auflösung).

Ein Wandler der oben beschriebenen Form wird nie zur Ruhe kommen. Der Zähler würde bei einem konstanten Eingangssignal ständig ein LSB auf oder ab zählen, was hier durch eine Hysterese verhindert wird. Beiderseitig zum Zählerwert wird durch die programmierbare Hysterese ein Bereich aufgespannt und innerhalb zwei Taktperioden geprüft, ob das Eingangssignal noch innerhalb dieses Bereiches liegt. Die Ausgangsfrequenz beträgt daher nur die Hälfte der Taktfrequenz.

Schnittstellen

Der Baustein muss nach dem Einschalten und nach jedem Reset für die jeweilige Applikation konfiguriert werden. Die Einstellungen sowie die Ausgangswerte werden im iC-NG in Registern gespeichert.

Der Zugriff auf diese Register kann auf verschiedene Arten erfolgen. Ist ein serielles EEPROM (z.B. SDA2516, ST24C02) an die Pins SDA und SCL angeschlossen, werden alle Parameter automatisch von dort gelesen. Über das EEPROM wird auch der Zugriffsmodus bestimmt (ACCMOD(1:0)).

Bei fehlendem EEPROM wird dieser direkt durch die mit internen Pull-up Widerständen ausgestatteten Pins SDA und SCL gesetzt. Unterstützt werden drei Modi:

SDA	SCL	Zugriffsmodus (kein EEPROM)
0	0	Parallel-Absolut-Modus
1	0	Synchron-Seriell-Modus
1	1	Inkremental-Modus

Bild 7: Zugriffsmodi

1. Parallel-Absolut-Modus

Dieser Modus ist geeignet, um den iC-NG als Peripherie-Baustein in einem 8-Bit-Bussystem einzusetzen. Über die Pins D0 bis D7 kann parallel auf die Register zugegriffen werden, gesteuert über die Eingänge NWR und NRD. Beide Pins dürfen nicht gleichzeitig auf low-Pegel gelegt werden.

Die Adressierung wird über ein internes Adressregister und eine Zustandsmaschine gesteuert. Ob ein Schreibzugriff auf das Adressregister oder ein von ihm adressiertes Datenregister wirkt, hängt vom internen Zustand (A oder B) ab. Nach dem Reset und jedem Lesen befindet sich der Baustein im Zustand A, nach jedem Schreiben im Zustand B (Bild 8).

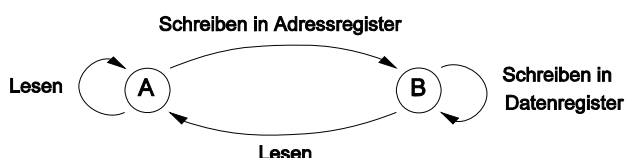


Bild 8: Zustandssteuerung

Schreibzugriff

Die zu schreibenden Daten werden an die Pins D0 bis D7 und ein low-Impuls an NWR angelegt. Mit der steigenden Flanke an NWR werden die Daten übernommen. Ein Schreibzyklus besteht aus mindestens zwei Zugriffen. Mit dem Ersten wird die Adresse des Registers angelegt und mit dem Zweiten das Datum. Das

interne Adressregister wird nach jedem Schreiben automatisch um Eins erhöht. Die Register für aufeinanderfolgende Adressen können so leicht beschrieben werden, ohne das Adressregister jeweils neu zu laden. In Bild 9 ist ein Schreibvorgang auf Adresse 10 mit anschließendem Auslesen dargestellt.

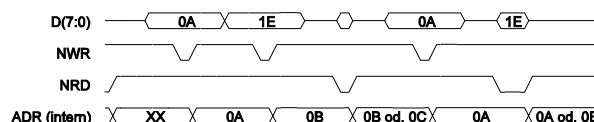


Bild 9: Schreibzugriff auf Adresse 10 und anschließendem Auslesen

Lesezugriff

Bei einem Lesezyklus wird ebenfalls zuerst die Adresse angelegt (Schreibzugriff) und dann der Dateninhalt mit NRD auf low gelesen.

Mit den Registern OUTSEL(1:0) wird die Länge des Ausgangswertes auf 1..4 Byte eingestellt. Zusätzlich beeinflusst OUTSEL den Inhalt des internen Adresszählers nach dem Lesen. Er wird nicht erhöht, falls die Länge des Ausgangswertes auf ein Byte eingestellt wurde. Bei anderen Einstellungen wird der Adresszähler auf Null zurückgesetzt, nachdem das höchste Byte des Ausgangswertes gelesen wurde, ansonsten um Eins erhöht.

Die Ausgänge bleiben während des Lesevorgangs konstant, auch wenn sich das entsprechende Register verändert (außer Inkrementalsignale und Interrupt und Fehlerstatus).

Die Register NG, COUNT und TACHO werden mit der fallenden Flanke an NRD erneut gespeichert, falls OUTSEL auf Null programmiert wurde oder der Adresszähler auf Null steht. Es ist so möglich, einen 4 Byte großen Ausgangswert in vier Zugriffen zu lesen.

Die Pause zwischen zwei aufeinanderfolgenden Pulsen an NRD oder NWR muss mindestens 3 Taktperioden betragen.

Bild 10 zeigt das zyklische Auslesen eines 2 Byte großen Ausgangswertes (OUTSEL(1:0)=1).

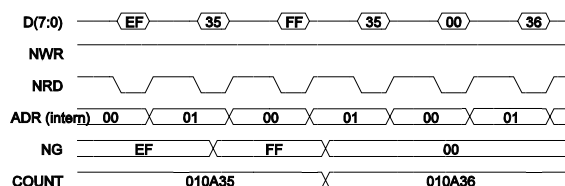


Bild 10: Zyklisches Auslesen des Ausgangswertes (16 Bit)

2. Synchron-Seriell-Modus mit 33-Bit-Format

Hier wird über eine synchrone Zweidrahtverbindung kommuniziert. Auf die Register kann nicht zugegriffen werden, nur der Ausgangswert sowie das Fehlerbit werden übertragen.

Die Zweidrahtverbindung besteht aus einem Takteingang (Pin NRD) und einem Datenausgang mit Treiber (Pin NWR). Die Datenübertragung wird von außen über die Taktleitung gesteuert.

Mit der ersten fallenden Flanke an NRD wird der Ausgangswert gelatcht. Mit jeder folgenden steigenden Flanke wird der Ausgangswert im Binärcode, beginnend mit dem mit OUTSEL eingestellten MSB, seriell an NWR ausgegeben. Im Anschluss an den Ausgangswert wird noch das Fehlerbit übertragen.

In diesem Modus kann der Pin SDA als serieller Dateneingang benutzt werden. Die Daten, die mit Beginn der Datenübertragung hier angelegt wurden, werden nach dem Fehlerbit ausgegeben.

Ein zyklisches Auslesen kann durch Verbinden von NWR mit SDA erreicht werden. Als Stoppbit wird dann eine Eins nach dem Fehlerbit ausgegeben.

Um den Ausgangswert für eine neue Datenübertragung zu speichern, muss eine Pause von mindestens 64 Taktpulsen am Takteingang eingehalten werden.

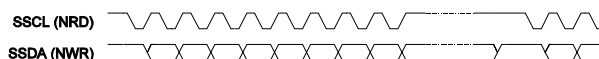


Bild 11: Synchron serielle Datenübertragung

3. Inkremental-Modus

Hier wird jede Änderung des Winkels bezüglich der eingestellten Auflösung als Ausgangsänderung auf der Spur D0(AX) oder D1(BX) signalisiert. Die erzeugten Rechtecksignale haben in Abhängigkeit von der Drehrichtung eine Phasenverschiebung von Plus oder Minus 90°.

Zusätzlich werden die Eingangssignale mit der Referenzspannung VREF kompariert und an den Pins D3(A4) und D4(B4) ausgegeben. Dies entspricht einer Auflösung von Vier.

Die entsprechend aufbereiteten Nullsignale stehen an den Pins D2(ZX) und D5(Z4) zur Verfügung. Außerdem wird ein Drehrichtungssignal an D6(ROT) und eine EXOR-Verknüpfung der Signale AX und BX an D7(AXB) ausgegeben.

Der Inkremental-Modus kann im Parallel-Absolut-Modus durch Auslesen der Adresse 4 emuliert werden.

Auflösung RES(4:0) und RES(6,5)

Eine Periode des Eingangssignals wird intern in acht Segmente unterteilt. Auf das erste Segment [0°..45°] werden die nachfolgenden Segmente [45°..90°, 90°..135°, 135°..180° usw. bis 360°] abgebildet. Die resultierende Ausgangsauflösung beträgt deshalb das 8-fache der TAN-D/A-Wanderauflösung.

Die Wanderauflösung pro Segment ist auf alle ganzzahligen Werte zwischen 17 und 32 einstellbar. Unterauflösungen ergeben sich, wenn nur jede n-te Unterteilung genutzt wird. Eine weitere Verringerung wird möglich, durch eine Rechtsverschiebung um n-Bit des Ausgangswertes.

Die folgende Tabelle zeigt alle möglichen Einstellungen und die daraus resultierenden Auflösungen. Bei gleichen Werten sind die in den Eigenschaften günstigeren Einstellungen fett herausgestellt.

Auflösung		TAN-D/A-Wanderauflösung (je Segment)															
		32	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17
Benutzung jeder n-ten Unterteilung	1 "00"	256 [1F]	248 [1E]	240 [1D]	232 [1C]	224 [1B]	216 [1A]	208 [19]	200 [18]	192 [17]	184 [16]	176 [15]	168 [14]	160 [13]	152 [12]	144 [11]	136 [10]
	2 "00"	128 [0F]		120 [0E]		112 [0D]		104 [0C]		96 [0B]		88 [0A]		80 [09]		72 [08]	
	4 "00"	64 [07]				56 [06]				48 [05]				40 [04]			
	8 "00"	32 [03]								24 [02]							
	16 "00"	16 [01]															
	32 "00"	8 [00]															
Rechtsverschiebung um n-Bit	1 "01"	128 64 32 16 8 4	124	120 60	116	112 56 28	108	104 52	100	96 48 24 12	92	88 44	84	80 40 20	76	72 36	68
	2 "10"	64 32 16 8 4 2	62	60 30	58	56 28 14	54	52 26	50	48 24 12 6	46	44 22	42	40 20 10	38	36 18	34
	3 "11"	32 16 8 4 2 1	31	30 15	29	28 14 7	27	26 13	25	24 12 6 3	23	22 11	21	20 10 5	19	18 9	17

Bild 12: Programmierung der Auflösung: [1F] hexadezimal für RES(4:0), "00" binär für RES(6:5)

Hysterese

Wird nicht die maximal mögliche Wanderauflösung genutzt, kann die Hysterese aus freien Auflösungsschritten gewonnen werden. Dabei bestimmt die gewählte Auflösung die Anzahl der möglichen Hysterese-Einstellungen.

Passend zur oberen Hälfte der Auflösungstabelle ergeben sich folgende Möglichkeiten:

H Y S	Hysterese in % (resistiv)																													
	0	6.25	12.5	18.75	25	31.25	37.5	43.75	50	56.25	62.5	68.75	75	81.25	87.5	93.75	100													
1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	30
2	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	30
4	20	-	-	-	-	-	-	-	28	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	30
8	20	-	-	-	24	-	-	-	28	-	-	-	2C	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	30
16	20	-	22	-	24	-	26	-	28	-	2A	-	2C	-	2E	-	-	-	-	-	-	-	-	-	-	-	-	-	-	30
32	20	21	22	23	24	25	26	27	28	29	2A	2B	2C	2D	2E	2F	30													

Bild 13: Resistive Hysterese; '-' sind nicht erlaubte Programmierungen.

Bei Einstellung von hohen Wanderauflösungen, die alle Auflösungsschritte benutzen, wird zur Erzeugung der Hysterese die Wanderauflösung in einem Zwischenschritt durch Anschalten eines kapazitiven Spannungsteilers erhöht.

Die Hysterese ist hierbei in 5% Schritten von 0..95% einstellbar, bezogen auf die Ausgangswerte in der oberen Hälfte der Auflösungstabelle (Ausgangswerte ohne Rechtsverschiebung).

H Y S	Hysterese in % (kapazitiv)																			
	0	5	10	15	20	25	30	35	40	45	50	55	60	65	70	75	80	85	90	95
00	01	02	03	04	05	06	07	10	11	12	13	14	15	16	17	1C	1D	1E	1F	

Bild 14: Kapazitive Hysterese

Programmierung der Nullposition

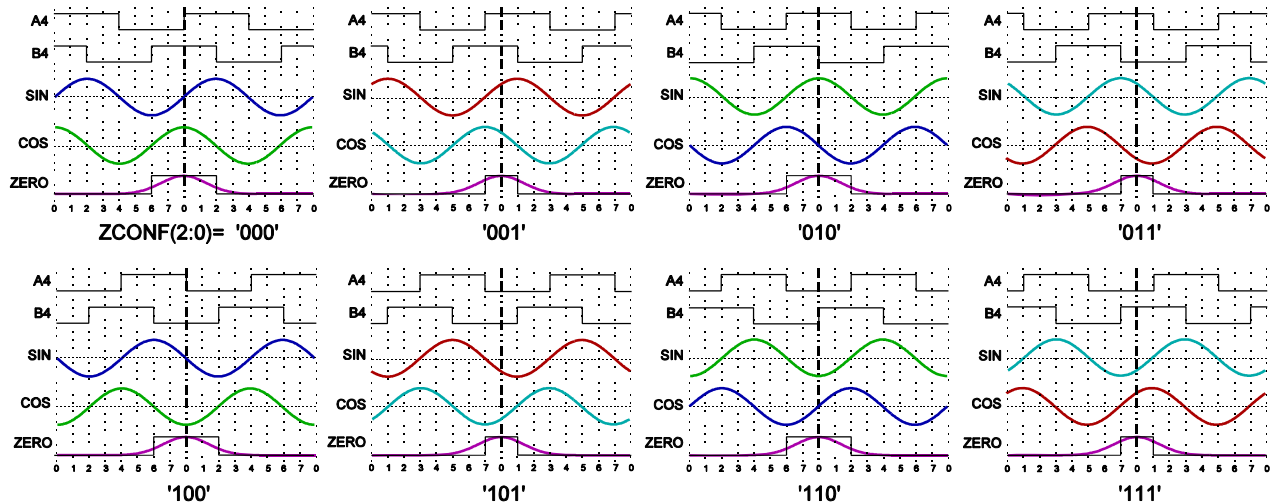


Bild 15: Programmierung der Nullposition

Mit den Registern ZCONF(2:0) kann der Nulldurchgang auf Vielfache von 45° eingestellt werden (Bild 15). Ist der Wert gerade (ZCONF0= 0), dann ist der Nullimpuls (ZX und Z4) jeweils $\frac{1}{2}$ Periode breit, ansonsten eine $\frac{1}{4}$ Periode.

Mit ZCONF3= 1 bleibt Z4 unverknüpft. Mit ROT kann die Drehrichtung zu dem mit ZCONF eingestellten Nullpunkt invertiert werden.

Wandleranpassung an nicht-sinusförmige Eingangssignale

Die Anpassung erfolgt in zwei Schritten und ist für jedes der acht Segmente getrennt durchführbar.

Im **ersten Schritt** werden der Offset sowie die Verstärkung des Anpassungsverstärkers (PGA) eingestellt. Der Offset wird so korrigiert, dass zu Beginn des ersten Segments das Signal am Ausgang des Anpassungsverstärkers zu Null wird ($\sin 0^\circ = 0$). Mit der Verstärkungseinstellung wird anschliessend das Signal am Ende des ersten Segments auf das COS-Signal angepasst ($\sin 45^\circ = \cos 45^\circ$). Dieser Abgleich sollte durch Drehrichtungswechsel und auch bei höherer Auflösung überprüft werden.

Im **zweiten Schritt** wird die Übertragungsfunktion im TAN-D/A-Wandler auf den Wert e_1/e_2 eingestellt (e = Eingangssignal). In der Grundeinstellung ($e_1 = \sin$, $e_2 = \cos$) hat der Anpassungsverstärker die Verstärkung Eins und einen Offset von Null. In der Rückkopplung wird die Tangensfunktion gebildet.

Dieses zweischrittige Anpassungsverfahren wird sinn gemäß in allen Segmenten durchgeführt. Zur Aktivierung der Wandleranpassung muss das Bit ADAP gesetzt werden und der gesamte Speicherbereich der Anpassungsparameter in einem Schreibzyklus geschrieben werden.

Restriktionen: Lesezugriffe auf die Register der Signalanpassung sind untersagt. Das interne Adressregister darf während dem Wandlerbetrieb nicht auf die Anpassungsregister zeigen (Adressen 16..127 sind im Betrieb nicht zulässig).

Die folgende Abbildung zeigt, wie die Übertragungsfunktion in der Rückkopplung im ersten Segment angepasst werden muss, falls am Eingang dreieckförmige Signale anliegen.

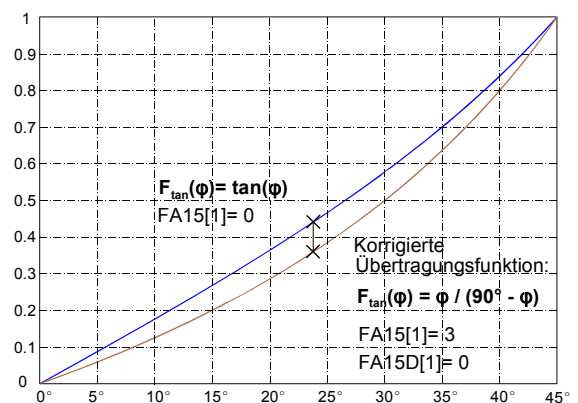


Bild 16: Übertragungsfunktion in der Rückkopplung (1. Segment): Für dreieckförmige Eingangssignale ist die Übertragungsfunktion stärker gekrümmt.

Periodenzähler

Der 24-Bit-Periodenzähler kann über die Register COUNT (Adresse 1..3) gelesen werden. Er kann nicht beschrieben werden, jedoch über CLC zurückgesetzt werden.

Im Normalfall (SIC= 0) wird der Zähler durch einen Überlauf des 8-Bit-Interpolationsregisters NG (Adresse 0) erhöht bzw. erniedrigt, je nach Laufrichtung. Zusammen mit dem Register NG ergibt sich ein 4 Byte großer Ausgangswert.

Die Zähleransteuerung wird durch die separate 4-fach Flankenauswertung überwacht und garantiert die einwandfreie Zählfunktion auch bei zu hohen Eingangsfrequenzen, solange die Phase um nicht mehr als 90° springt. In diesem Fall wird das Fehlerflag STEPINP gesetzt.

Falls der Zähler durch den Nullimpuls zurückgesetzt werden soll, muss CBZ gesetzt sein. Die Zählfreigabe erfolgt über den Pin MFP (SLCNTEN= 1) oder alternativ über das Register COUNTEN (SLCNTEN= 0).

Für Messanwendungen kann der Eingang des Periodenzählers auch auf die interpolierten Ausgangspulse geschaltet werden (SIC= 1).

Interrupt- und Fehlermeldung

Das Auftreten eines Interrupts oder Fehlers wird im Register Interrupt und Fehlerstatus auf Adresse 6 angezeigt.

Mit den Registern LATINT und LATERR (Adresse 11) kann der Anwender entscheiden, ob die Information nur angezeigt wird, solange die Interrupt- bzw. Fehlerursache vorliegt, oder ob sie gespeichert wird.

Zur Meldung nach extern stehen der Pin MFP für Interrupts (aktiv high) und der Pin NER für Fehler (aktiv low) zur Verfügung; die Freigabe zur Meldung muss erteilt sein. Die Anzeige an MFP setzt die Ausgangsfunktion für diesen Pin voraus (SLCNTEN= 0).

Drehzahlerfassung

Über das Register TACHO kann auf eine sehr einfache Drehzahlerfassung zugegriffen werden. Hier ist die Anzahl der Taktpulse zwischen zwei aufeinanderfolgenden Ausgangswerten als Einerkomplement abgelegt. Das Register wird bei jeder Ausgangswertänderung aktualisiert. Es findet keine digitale Filterung statt.

Systemtakt

Zur Takterzeugung steht ein interner Oszillator zur Verfügung. Die Frequenz wird durch einen externen Widerstand bestimmt.

Zusätzlich kann mit dem Register FREQ die Taktfrequenz auf das ca. 10-fache erhöht werden. Bei hoher Eingangsfrequenz ist dies sinnvoll, falls nur die Anzahl der Umdrehungen ermittelt werden soll.

Alternativ kann der Systemtakt extern eingespeist werden. Die Frequenz darf zwischen 0 Hz und f_{max} liegen, jedoch die maximale low-Pulsdauer nicht überschreiten (siehe Kenndaten), da sonst der interne Taktoszillator einschaltet.

PROGRAMMIERUNG

Registerbelegung		
Adr	lesen	schreiben
0-3	Ausgangswert	Zielposition
4	Inkrementalsignale	-
5	Drehzahl	-
6	Interrupt und Fehlerstatus	-
7	Auflösung, Drehrichtung	Auflösung, Drehrichtung
8	Hysterese, Anpassung, Linksbündig	Hysterese, Anpassung, Linksbündig
9	Nullposition, Zählertiefe, Zugriffsmodus	Nullposition, Zählertiefe, Zugriffsmodus
10	Zählersteuerung	Zählersteuerung
11	Freigabe für Interrupt- und Fehlermeldung	Freigabe für Interrupt- und Fehlermeldung
12	Kompensation Eingangsverstärker	Kompensation Eingangsverstärker
13	Oszillatorsteuerung	Oszillatorsteuerung
16-23	-	PGA Parameter (Verstärkung 1.-8. Segment)
24-31	-	PGA Parameter (Offset 1.-8. Segment)
32-127	-	TAN-D/A-Wandlerparameter (Funktionsanpassung 1.-8. Segment)

Registerbelegung									
Adr	Name								Resetwert
	7	6	5	4	3	2	1	0	
0	NG(7:0) bzw. TPOS(7:0)								00
3-1	COUNT(23:0) bzw. TPOS(31:8)								00 00 00
4	AXB	ROT	Z4	B4	A4	ZX	BX	AX	-
5	TACHO(7:0)								-
6				ERRV	STEPINP	MAXFREQ	POSCOMP	NGUPDT	-
7	ROT	RES(6:0)							1F
8	NGLJ	ADAP	HYS(5:0)						30 (B0) ¹
9	ACCMOD(1:0)		OUTSEL(1:0)		ZCONF(3:0)				00 (01) ²
10				CLC	CBZ	COUNTEN	SLCNTEN	SIC	00
11		LATERR	LATINT	EN4	EN3	EN2	EN1	EN0	05
12	CZERO(3:0)				CSIN(3:0)				FF
13					FREQ	reserviert ³	reserviert ³	reserviert ³	08
16-23	PGA Parameter (Verstärkung 1.-8. Segment)								FF
24-31	PGA Parameter (Offset 1.-8. Segment)								FF
32-127	TAN-D/A-Wandlerparameter (Funktionsanpassung 1.-8. Segment)								FF

¹ Synchron-Seriell-Modus

² Inkremental-Modus

³ Register dürfen nicht auf 1 programmiert werden

Ausgangswert Interpolation (nur lesen)								Adr: 0
Bit Name	7 NG7	6 NG6	5 NG5	4 NG4	3 NG3	2 NG2	1 NG1	0 NG0
Periodenanzahl 1.Byte (nur lesen)								Adr: 1
Bit Name	7 COUNT7	6 COUNT6	5 COUNT5	4 COUNT4	3 COUNT3	2 COUNT2	1 COUNT1	0 COUNT0
Periodenanzahl 2.Byte (nur lesen)								Adr: 2
Bit Name	7 COUNT15	6 COUNT14	5 COUNT13	4 COUNT12	3 COUNT11	2 COUNT10	1 COUNT9	0 COUNT8
Periodenanzahl 3. Byte (nur lesen)								Adr: 3
Bit Name	7 COUNT23	6 COUNT22	5 COUNT21	4 COUNT20	3 COUNT19	2 COUNT18	1 COUNT17	0 COUNT16

ADR 0, NG(7:0)	
ADR 3:1, COUNT(23:0)	

Zielposition 1. Byte (nur schreiben)								Adr: 0
Bit Name	7 TPOS7	6 TPOS6	5 TPOS5	4 TPOS4	3 TPOS3	2 TPOS2	1 TPOS1	0 TPOS0
2. Byte (nur schreiben)								Adr: 1
Bit Name	7 TPOS15	6 TPOS14	5 TPOS13	4 TPOS12	3 TPOS11	2 TPOS10	1 TPOS9	0 TPOS8
3. Byte (nur schreiben)								Adr: 2
Bit Name	7 TPOS23	6 TPOS22	5 TPOS21	4 TPOS20	3 TPOS19	2 TPOS18	1 TPOS17	0 TPOS16
4. Byte (nur schreiben)								Adr: 3
Bit Name	7 TPOS31	6 TPOS30	5 TPOS29	4 TPOS28	3 TPOS27	2 TPOS26	1 TPOS25	0 TPOS24

ADR 3:0, TPOS(31:0)	
---------------------	--

Inkrementalsignale (nur lesen)								Adr: 4
Bit Name	7 AXB	6 ROT	5 Z4	4 B4	3 A4	2 ZX	1 BX	0 AX

Bit 0, AX		Inkrementalspur A (mit der eingestellten Auflösung)
Bit 1, BX		Inkrementalspur B (mit der eingestellten Auflösung)
Bit 2, ZX		Nullsignal (mit AX,BX entsprechend ZCONF(2:0) verknüpft)
Bit 3, A4		Inkrementalspur A (mit der Auflösung 4)
Bit 4, B4		Inkrementalspur B (mit der Auflösung 4)
Bit 5, Z4		Nullsignal (mit A4,B4 entsprechend ZCONF(3:0) verknüpft)
Bit 6 ROT	0 1	Linkslauf, Ausgangswert fallend, Sinus eilt Cosinus um 90° voraus Rechtslauf, Ausgangswert steigend, Sinus läuft Cosinus um 90° nach
Bit 7, AXB		EXOR-Verknüpfung der Inkrementalspuren AX und BX

Drehzahl (nur lesen)								Adr: 5
Bit Name	7 TACHO7	6 TACHO6	5 TACHO5	4 TACHO4	3 TACHO3	2 TACHO2	1 TACHO1	0 TACHO0

Adr 5, TACHO(7:0)

Interrupt und Fehlerstatus (aktiv high, nur lesen)								Adr: 6
Bit Name	7	6	5	4 ERRV	3 STEPINP	2 MAXFREQ	1 POSCOMP	0 NGUPDT

Dieses Register wird in jedem Fall gesetzt, auch wenn die entsprechenden Interrupts oder Fehler nicht zur Anzeige freigegeben sind.	
Ausgangsänderung (Interrupt)	
Bit 0, NGUPDT	Der Ausgangswert hat sich geändert (Meldung steht über eine Taktperiode)
Zielpositionserfassung (Interrupt)	
Bit 1, POSCOMP	Ausgangswert entspricht der Zielposition (Vergleichstiefe von OUTSEL(1:0) abhängig)
Frequenzfehler 1 (Fehler)	
Bit 2, MAXFREQ	Die Eingangsfrequenz ist für die eingestellte Auflösung zu hoch. COUNT(23:0) gültig, AX/BX ungültig (Überwachung im Inkremental-Modus sinnvoll)
Frequenzfehler 2 (Fehler)	
Bit 3, STEPINP	Die Phase des Eingangssignals hat sich während einer Taktperiode um 90°-270° gedreht, d.h. A4 und B4 haben sich gleichzeitig geändert. COUNT(23:0) ungültig (Überwachung im Parallel-Absolut-Modus sinnvoll)
Unterspannung (Fehler)	
Bit 4, ERRV	Versorgungsspannung zu klein

Auflösung, Drehrichtung								Adr: 7
Bit Name	7 ROT	6 RES6	5 RES5	4 RES4	3 RES3	2 RES2	1 RES1	0 RES0

Auflösung		
Bit 4..0 RES(4:0)	'00'h .. '1F'h	TAN-D/A-Wanderauflösung pro Segment = 1 .. TAN-D/A-Wanderauflösung pro Segment = 32
Bit 6,5 RES(6:5)	0 0 0 1 1 0 1 1	Auflösung gleich achtfache TAN-D/A-Wanderauflösung Ausgangswert um 1 Bit nach rechts verschoben (Auflösung halbiert) Ausgangswert um 2 Bit nach rechts verschoben Ausgangswert um 3 Bit nach rechts verschoben
Drehrichtung		
Bit 7 ROT	0 1	Ausgangswert steigend, falls Cosinus vor Sinus (mathematisch positiv) Ausgangswert fallend, falls Cosinus vor Sinus

Hysterese, Anpassung, Linksbündig **Adr: 8**

Bit Name	7 NGLJ	6 ADAP	5 HYS5	4 HYS4	3 HYS3	2 HYS2	1 HYS1	0 HYS0
----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Hysterese

Bit 5:0 HYS(5:0)	'00'h .. '3F'h	Hysterese entsprechend den Tabellen auf Seite 11
---------------------	----------------------	--

Anpassung

Bit 6 ADAP	0 1	Anpassungsverstärker (PGA) deaktiviert Anpassungsverstärker (PGA) aktiviert
---------------	--------	--

Linksbündig

Bit 7 NGLJ	0 1	Ausgangswert rechtsbündig Ausgangswert wird linksbündig verschoben (Nur sinnvoll im Synchron-Seriell-Modus für Auflösungen kleiner 136)
---------------	--------	--

Nullposition, Zählertiefe, Zugriffsmodus **Adr: 9**

Bit Name	7 ACCMOD1	6 ACCMOD0	5 OUTSEL1	4 OUTSEL0	3 ZCONF3	2 ZCONF2	1 ZCONF1	0 ZCONF0
----------	--------------	--------------	--------------	--------------	-------------	-------------	-------------	-------------

Nullposition

Bit 2:0 ZCONF(2:0)	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 1 1 1	Nulldurchgang bei 0° (Sin = 0, COS = 1) (ZX,Z4 je ½ AX/BX Periode breit) Nulldurchgang bei 45° (Sin = COS > 0) (ZX,Z4 je ¼ AX/BX Periode breit) Nulldurchgang bei 90° (Sin = 1, COS = 0) (ZX,Z4 je ½ AX/BX Periode breit) Nulldurchgang bei 135° (Sin = -COS > 0) (ZX,Z4 je ¼ AX/BX Periode breit) Nulldurchgang bei 180° (Sin = 0, COS = -1) (ZX,Z4 je ½ AX/BX Periode breit) Nulldurchgang bei 225° (Sin = COS < 0) (ZX,Z4 je ¼ AX/BX Periode breit) Nulldurchgang bei 270° (Sin = -1, COS = 0) (ZX,Z4 je ½ AX/BX Periode breit) Nulldurchgang bei 315° (Sin = -COS < 0) (ZX,Z4 je ¼ AX/BX Periode breit)
		Erhalten die ZERO-Eingänge kein echtes Nullsignal vom Sensor, ist eine statische Beschaltung erforderlich, die ZERO= 1 bewirkt (durch $V(PZERO) > V(NZERO)$).
Bit 3 ZCONF3	0 1	Z4 mit A4 und B4 verknüpft (Z4-Breite= ¼), Z4 mit A4 oder B4 verknüpft (Z4-Breite= ½) Z4 unverknüpft

Zählertiefe

Bit 5:4 OUTSEL(1:0)	0 0 0 1 1 0 1 1	Der Ausgangswert besteht aus NG(7:0) Der Ausgangswert setzt sich aus COUNT(7:0) & NG(7:0) zusammen Der Ausgangswert setzt sich aus COUNT(15:0) & NG(7:0) zusammen Der Ausgangswert setzt sich aus COUNT(23:0) & NG(7:0) zusammen
		Diese Einstellung wirkt sich auf die Zielpositionsauswertung aus und legt das MSB im Synchron-Seriell-Modus fest.

Zugriffsmodus

Bit 7:6 ACCMOD(1:0)	0 0 1 0 1 1 0 1	Parallel-Modus Synchron-Seriell-Modus Inkremental-Modus nicht zulässig
		Der Zugriffsmodus wird direkt mit dem Laden der Konfiguration aus dem seriellen EEPROM bestimmt und kann im Betrieb nicht umgestellt werden. Ist kein EEPROM vorhanden, kann der Zugriffsmodus direkt über die Pins SDA und SCL eingestellt werden.

iC-NG

8-BIT Sin/D WANDLER-PROZESSOR



Ausgabe D3, Seite 18/21

Positionszählersteuerung								Adr: 10
Bit Name	7	6	5	4	3	2	1	0
				CLC	CBZ	COUNTEN	SLCNTEN	SIC

Eingangsauswahl		
Bit 0	0	Der Positionszähler wird mit jedem Nulldurchgang erhöht/erniedrigt
SIC	1	Der Positionszähler wird mit jedem Interpolationsschritt erhöht/erniedrigt
Freigabe-Auswahl		
Bit 1	0	Der Zählvorgang wird über das Register COUNTEN freigegeben; MFP ist ein Ausgangspin
SLCNTEN	1	Der Zählvorgang wird über den Pin MFP freigegeben; MFP ist ein Eingangspin
Freigabe		
Bit 2	0	Zählvorgang gestoppt (mit SLCNTEN= 0)
COUNTEN	1	Zählvorgang freigegeben (mit SLCNTEN= 0)
Nullstellungsfreigabe		
Bit 3	0	Positionszähler wird nicht durch den Nullimpuls zurückgesetzt
CBZ	1	Positionszähler wird durch jeden Nullimpuls zurückgesetzt
Rückstellung		
Bit 4	0	Positionszähler wird nicht zurückgesetzt
CLC	1	Positionszähler wird zurückgesetzt

Freigabe für Interrupt und Fehlermeldung (aktiv high)								Adr: 11
Bit Name	7	6	5	4	3	2	1	0
		LATERR	LATINT	EN4	EN3	EN2	EN1	EN0

Interrupts werden aktiv high am Pin MFP angezeigt, falls dieser als Ausgang programmiert wurde. Fehler werden aktiv low am Pin NER angezeigt.		
Bit 0, EN0	0	gesperrt
	1	NGUPDT freigegeben, Zustand nach Reset (Meldung an Pin MFP)
Bit 1, EN1	0	gesperrt
	1	POSCOMP freigegeben (Meldung an Pin MFP)
Bit 2, EN2	0	gesperrt
	1	MAXFREQ freigegeben, Zustand nach Reset (Meldung an Pin NER)
Bit 3, EN3	0	gesperrt
	1	STEPINP freigegeben (Meldung an Pin NER)
Bit 4, EN4	0	gesperrt
	1	ERRV freigegeben (Meldung an Pin NER)
Bit 5, LATINT	0	Interrupts werden nur angezeigt, solange die Interruptursache besteht
	1	Interruptstatus wird gespeichert (die Programmierfolge 1-0-1 setzt die Register der Adr 6 zurück)
Bit 6, LATERR	0	Fehler werden nur angezeigt, solange die Fehlerursache besteht
	1	Fehlerstatus wird gespeichert (die Programmierfolge 1-0-1 setzt die Register der Adr 6 zurück)

Kompensation Eingangsverstärker								Adr: 12
Bit	7	6	5	4	3	2	1	0
Name	CZERO3	CZERO2	CZERO1	CZERO0	CSIN3	CSIN2	CSIN1	CSIN0

SIN und COS Eingänge		
Bit 3:0 CSIN(3:0)	'0'h .. 'F'h	0.0pF 0.8pF / LSB 12.0pF
ZERO Eingang		
Bit 7:4 CZERO(3:0)	'0'h .. 'F'h	0.0pF 0.8pF / LSB 12.0pF

Oszillatorsteuerung								Adr: 13
Bit	7	6	5	4	3	2	1	0
Name					FREQ	reserviert	reserviert	reserviert

Bit 3 FREQ	0 1	Taktfrequenz ca. 10-fach erhöht (nur gültig, falls kein externer Takt eingespeist wird) Taktfrequenz 1-fach
Bit 2:0 reserviert	0	Register müssen immer auf 0 programmiert sein

Verstärkung Anpassungsverstärker (nur schreiben)								Adr: 16-23 (1.-8. Segment)
Bit	7	6	5	4	3	2	1	0
Name	G7[i]	G6[i]	G5[i]	G4[i]	G3[i]	G2[i]	G1[i]	G0[i]

Bit 7:0 G(7:0)[i]	'00'h '01'h .. '7F'h 'FF'h .. '81'h '80'h	255/128 \approx 1.992 \approx 1.984 1/128 pro LSB Δ 0.0078 128/128 = 1 255/255 = 1 \approx 0.50592 1/255 pro LSB Δ 0.00392 128/255 \approx 0.502
----------------------	--	---

Offset Anpassungsverstärker (nur schreiben)								Adr: 24-31 (1.-8. Segment)
Bit	7	6	5	4	3	2	1	0
Name	O7[i]	O6[i]	O5[i]	O4[i]	O3[i]	O2[i]	O1[i]	O0[i]

Bit 7:0 O(7:0)[i]	'00'h .. '7F'h 'FF'h .. '80'h	-127/384×A \approx -0.33×A -1/384×A pro LSB -0/384×A = 0 0/384×A = 0 1/384×A pro LSB 127/384×A \approx 0.33×A A = Amplitude der Eingangssignale
----------------------	--	---

Funktionsanpassung TAN-D/A-Wandler Stützpunkte 1-4 (nur schreiben) Adr: 32-39 (1.-8. Segment)								
Bit Name	7 FA4H[i]	6 FA4L[i]	5 FA3H[i]	4 FA3L[i]	3 FA2H[i]	2 FA2L[i]	1 FA1H[i]	0 FA1L[i]
Stützpunkte 5-8 (nur schreiben) Adr: 40-47 (1.-8. Segment)								
Bit Name	7 FA8H[i]	6 FA8L[i]	5 FA7H[i]	4 FA7L[i]	3 FA6H[i]	2 FA6L[i]	1 FA5H[i]	0 FA5L[i]
Stützpunkte 9-12 (nur schreiben) Adr: 48-55 (1.-8. Segment)								
Bit Name	7 FA12H[i]	6 FA12L[i]	5 FA11H[i]	4 FA11L[i]	3 FA10H[i]	2 FA10L[i]	1 FA9H[i]	0 FA9L[i]
Stützpunkte 13-16 (nur schr.) Adr: 56-63 (1.-8. Segment)								
Bit Name	7 FA16H[i]	6 FA16L[i]	5 FA15H[i]	4 FA15L[i]	3 FA14H[i]	2 FA14L[i]	1 FA13H[i]	0 FA13L[i]
Stützpunkte 17-20 (nur schr.) Adr: 64-71 (1.-8. Segment)								
Bit Name	7 FA20H[i]	6 FA20L[i]	5 FA19H[i]	4 FA19L[i]	3 FA18H[i]	2 FA18L[i]	1 FA17H[i]	0 FA17L[i]
Stützpunkte 21-24 (nur schr.) Adr: 72-79 (1.-8. Segment)								
Bit Name	7 FA24H[i]	6 FA24L[i]	5 FA23H[i]	4 FA23L[i]	3 FA22H[i]	2 FA22L[i]	1 FA21H[i]	0 FA21L[i]
Stützpunkte 25-28 (nur schr.) Adr: 80-87 (1.-8. Segment)								
Bit Name	7 FA28H[i]	6 FA28L[i]	5 FA27H[i]	4 FA27L[i]	3 FA26H[i]	2 FA26L[i]	1 FA25H[i]	0 FA25L[i]
Stützpunkte 29-31 (nur schr.) Adr: 88-95 (1.-8. Segment)								
Bit Name	7 K1[i]	6 K0[i]	5 FA31H[i]	4 FA31L[i]	3 FA30H[i]	2 FA30L[i]	1 FA29H[i]	0 FA29L[i]

FajH[i], FajL[i]	0 0 1 0 0 1 1 1	Keine Funktionsanpassung am Stützpunkt j Funktionsanpassung am Stützpunkt j mit der Stärke 1 Funktionsanpassung am Stützpunkt j mit der Stärke 2 Funktionsanpassung am Stützpunkt j mit der Stärke 3, jeweils im Segment i
K1[i], K0[i]	1 1	Reserviert; Register muss '1' gesetzt bleiben

Funktionsanpassung TAN-D/A-Wandler Stützpunkte 1-8 (nur schreiben) Adr: 96-103 (1.-8. Segment)								
Bit Name	7 FA8D[i]	6 FA7D[i]	5 FA6D[i]	4 FA5D[i]	3 FA4D[i]	2 FA3D[i]	1 FA2D[i]	0 FA1D[i]
Stützpunkte 9-16 (nur schr.) Adr: 104-111 (1.-8. Segment)								
Bit Name	7 FA16D[i]	6 FA15D[i]	5 FA14D[i]	4 FA13D[i]	3 FA12D[i]	2 FA11D[i]	1 FA10D[i]	0 FA9D[i]
Stützpunkte 17-24 (nur schr.) Adr: 112-119 (1.-8. Segment)								
Bit Name	7 FA24D[i]	6 FA23D[i]	5 FA22D[i]	4 FA21D[i]	3 FA20D[i]	2 FA19D[i]	1 FA18D[i]	0 FA17D[i]
Stützpunkte 25-31 (nur schr.) Adr: 120-127 (1.-8. Segment)								
Bit Name	7	6 FA31D[i]	5 FA30D[i]	4 FA29D[i]	3 FA28D[i]	2 FA27D[i]	1 FA26D[i]	0 FA25D[i]
FajD[i]	0 1	Funktionsanpassung am Stützpunkt j nach oben Funktionsanpassung am Stützpunkt j nach unten						

APPLIKATIONSHINWEISE

Applikationshinweise für iC-NG sowie die Anleitung zum Demo-Board sind als separate Unterlagen erhältlich.

BESTELLHINWEISE

Typ	Gehäuse	Bestellbezeichnung
iC-NG	SO28	iC-NG SO28
iC-NG	SSOP28 5.3mm	iC-NG SSOP28
Evaluation Board		iC-NG EVAL NGD

Demo-Board Lieferumfang

- Demo-Board 100 mm x 160 mm
- Anschlusskabel für die serielle Schnittstelle
- Diskette 3.5" mit Steuerprogramm
- Spezifikation iC-NG
- Beschreibung

Auskünfte über Preise, Liefertermine, Liefermöglichkeiten anderer Gehäuseformen usw. erteilt

iC-Haus GmbH
Am Kuemmerling 18
55294 Bodenheim

Tel. 06135-9292-0
Fax 06135-9292-192
www.ichaus.com

Die vorliegende Spezifikation betrifft ein neu entwickeltes Produkt. iC-Haus behält sich daher das Recht vor, Daten ohne weitere Ankündigung zu ändern. Die aktuellen Daten können bei iC-Haus abgefragt werden.

Ein Nachdruck dieser Spezifikation - auch auszugsweise - ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/ Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.